



PCT

特許協力条約に基づいて公開された国際出願

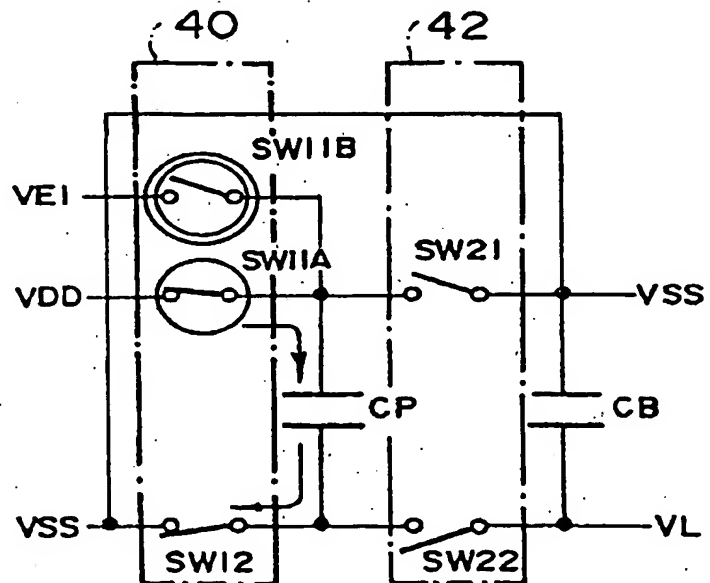
(51) 国際特許分類 H02M 3/07, G09G 3/36, G02F 1/133		A1	(11) 国際公開番号 WO98/44621
			(43) 国際公開日 1998年10月8日(08.10.98)
(21) 国際出願番号 PCT/JP98/01394		(81) 指定国 JP, US.	
(22) 国際出願日 1998年3月27日(27.03.98)		添付公開書類 国際調査報告書	
(30) 優先権データ 特願平9/94893 1997年3月28日(28.03.97)		JP	
<p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 池田益英(IKEDA, Masuhide)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p> <p>(74) 代理人 弁理士 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p>			

(54) Title: POWER SOURCE CIRCUIT, DISPLAY DEVICE, AND ELECTRONIC EQUIPMENT

(54) 発明の名称 電源回路、表示装置及び電子機器

(57) Abstract

A power source circuit which can reduce its own power consumption and can select its boosting rate in accordance with the duty ratio. The power source circuit contains a charge pump circuit containing a first switching section (40) which accumulates charges in a capacitor (CP) and a second switching section (42) which transfers the charges accumulated in the capacitor (CP) to another capacitor (CB), and a circuit which generates switching signals for controlling the first and second switching sections. The first switching section (40) contains switching elements (SW11A and SW11B) which are respectively connected to different potentials (VDD and VE1) on one side and to one end of the capacitor (CP) on the other side. The switching signal generating circuit variably controls the boosting rate by turning on or off the switching element (SW11A) and turning off the switching element (SW11B) or by turning on or off the element (SW11B) and turning off the element (SW11A). The potential of the switching signal when the elements (SW11A and SW11B) are turned off is made equal to the potential supplied to the source of a switching transistor. The boosting rate is controlled in accordance with the duty ratio when a liquid crystal display is operated for partial display.



(57)要約

電源回路自身の消費電力を低減でき、デューティ比に応じた昇圧比を設定できる電源回路、表示装置、電子機器の提供が目的である。キャパシタCPに電荷を蓄積する第1のスイッチング部40、CPに蓄積された電荷をCBに転送する第2のスイッチング部42を含むチャージポンプ回路と、第1、第2のスイッチング部40、42を制御するスイッチング信号を生成する回路を含む。第1のスイッチング部40は、一端が互いに異なる電位VDD、VE1に接続され他端がCPの一端に接続されるスイッチング素子SW11A、SW11Bを含む。スイッチング信号生成回路は、SW11Aをオン、オフ制御しSW11Bをオフにしたり、SW11Bをオン、オフ制御しSW11Aをオフにすることで、昇圧比を可変制御する。オフ時のスイッチング信号の電位をスイッチングトランジスタのソースに供給される電位と等しくする。液晶表示装置のパーシャル表示の際にデューティ比に応じて昇圧比を制御する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LR	リベリア	SK	スロヴァキア
AM	アルメニア	FR	フランス	LS	レソト	SL	シエラ・レオネ
AT	オーストリア	GB	イギリス	LT	リトアニア	SN	セネガル
AU	オーストラリア	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
AZ	アゼルバイジャン	GE	グルジア	LV	ラトヴィア	TD	チャード
BA	ボスニア・ヘルツェゴビナ	GH	ガーナ	MC	モナコ	TG	トーゴ
BB	バルバドス	GN	ギニア	MD	モルドヴァ	TJ	タジキスタン
BE	ベルギー	GM	ガンビア	MG	マダガスカル	TM	トルクメニスタン
BF	ブルキナ・ファソ	GW	ギニア・ビサウ	MK	マケドニア	TR	トルコ
BG	ブルガリア	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BJ	ベナン	HR	クロアチア	ML	マリ	UA	ウクライナ
BR	ブラジル	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
BY	ベラルーシ	ID	インドネシア	MR	モーリタニア	US	米国
CA	カナダ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CF	中央アフリカ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CG	コンゴ	IS	アイスランド	NE	ニジェール	YU	ユーゴスラビア
CH	スイス	IT	イタリア	NL	オランダ	ZW	ジンバブエ
CI	コートジボアール	JP	日本	NO	ノルウェー		
CM	カメルーン	KE	ケニア	NZ	ニュージーランド		
CN	中国	KG	キルギスタン	PL	ポーランド		
CU	キューバ	KP	北朝鮮	PT	ポルトガル		
CY	キプロス	KR	韓国	RO	ルーマニア		
CZ	チェコ	KZ	カザフスタン	RU	ロシア		
DE	ドイツ	LC	セントルシア	SD	スーダン		
DK	デンマーク	LI	リヒテンシュタイン	SE	スウェーデン		
EE	エストニア	LK	スリ・ランカ	SG	シンガポール		
ES	スペイン			SI	スロヴェニア		

明 細 書

電源回路、表示装置及び電子機器

[技術分野]

本発明は電源回路、表示装置及び電子機器に関する。

[背景技術]

近年、携帯電話やページャ等の携帯用電子機器の分野では、小型化、軽量化の他に、電池を交換をしないで表示できる時間の延長の要求が高まっている。従って、携帯用電子機器に搭載される表示装置には、低消費電力であることが厳しく求められる。

本発明者は、表示装置の1つである液晶表示装置について、消費電力低減の観点から種々の検討を行った。

その結果、従来の液晶表示装置では、電源電圧を供給する電源回路自身が消費する電力が非常に大きく、液晶表示装置の消費電力の例えば1/3程度が電源回路自身の消費電力であることが判明した。

本発明は以上のような技術的課題を解決するためになされたものであり、その目的とするところは、電源回路自身の消費電力を低減し、これによりこの電源回路を用いる表示装置、電子機器の消費電力を低減することにある。

[発明の開示]

上記課題を解決するために本発明は、電圧変換を行い、変換された電圧を電源電圧として供給する電源回路であって、第1のキャパシタ、第2のキャパシタ、所与の電圧に基づき前記第1のキャパシタに電荷を蓄積するための第1のスイッチング手段及び前記第1のキャパシタに蓄積された電荷を前記第2のキャパシタに転送するための第2のスイッチング手段とを有する少なくとも1つのチャージポンプ回路と、前記第1、第2のスイッチング手段を制御するための複数のスイ

ツチング信号を生成するスイッチング信号生成回路とを含み、前記第1のスイッチング手段が、一端が互いに異なる電位に電氣的に接続され他端が前記第1のキャパシタの少なくとも一端に電氣的に接続される複数のスイッチング素子を含み、前記スイッチング信号生成回路が、昇圧比及び降圧比の少なくとも一方を制御するための少なくとも1つの所与の第1の制御信号を受け、前記複数のスイッチング素子の中で該第1の制御信号に基づき特定される1つのスイッチング素子をオン、オフ制御し他のスイッチング素子をオフするスイッチング信号を生成することを特徴とする。

本発明によれば、例えば、第1のスイッチング手段が、一端が第1、第2、第3の電位に接続される第1、第2、第3のスイッチング素子を含み、第1の制御信号が第1の昇圧比（或いは降圧比）を設定するものであった場合には、第1のスイッチング素子がオン、オフ制御され、第2、第3のスイッチング素子はオフされる。これにより第1のキャパシタは第1の電位に基づき充電されることになる。一方、第1の制御信号が第2の昇圧比を設定するものであった場合には、第2のスイッチング素子がオン、オフ制御され、第1、第3のスイッチング素子はオフされる。これにより第1のキャパシタは第2の電位に基づき充電されることになるため、第1の電位を用いて電圧変換を行った場合とは異なる変換電圧を得ることができる。同様に第1の制御信号が第3の昇圧比を設定するものであった場合には、第1のキャパシタは第3の電位に基づき充電されることになるため、第1、第2の電位を用いて電圧変換を行った場合とは異なる変換電圧を得ることができる。このように本発明によれば、第1の制御信号に基づき、昇圧比や降圧比を可変に制御できる。しかも本発明には、新たなスイッチング素子の追加に伴う電源回路の出力インピーダンスの増加や回路の大規模化などの事態を有効に防止しながら、昇圧比や降圧比を可変に制御できるという利点がある。

なお複数のスイッチング素子は第1のキャパシタの少なくとも一端に接続されていればよく、第1のキャパシタの両端に複数のスイッチング素子を接続する構成も本発明に含まれる。

また本発明は、前記スイッチング信号生成回路が、基本スイッチング信号を生

成する回路と、前記第 1 の制御信号をデコードするデコーダと、前記基本スイッチング信号及び前記デコーダの出力を受け、オン、オフ制御するスイッチング素子に対しては前記基本スイッチング信号に基づき生成されたスイッチング信号を出力し、オン、オフ制御しないスイッチング素子に対しては所与の電位に固定されたスイッチング信号を出力する出力回路とを含むことを特徴とする。このようにすることで、1つのスイッチング素子をオン、オフ制御し他のスイッチング素子をオフするスイッチング信号を簡易に生成することが可能となる。しかもデコーダ内の配線等を変更するだけで、種々の形態のスイッチング信号を生成できるという利点もある。

また本発明は、前記出力回路が、前記基本スイッチング信号の振幅を、基準電位及び前記チャージポンプ回路からのチャージポンプ電位に基づいて変換するレベルシフタを含むことを特徴とする。このようにすることで、スイッチング素子をオン、オフ制御するのに必要な振幅を持つスイッチング信号を生成できる。

また本発明は、前記スイッチング信号生成回路が、基準電位及び前記チャージポンプ回路からのチャージポンプ電位を受け、前記第 1、第 2 のスイッチング手段が含むスイッチングトランジスタに出力されるスイッチング信号のオフ期間での電位を、スイッチングトランジスタのソースに供給される前記基準電位及び前記チャージポンプ電位のいずれかの電位に設定することを特徴とする。このようにすることで、オフ期間においてスイッチングトランジスタを適切にオフできると共に、無駄な電力の消費を防止できる。

また本発明に係る表示装置は上記のいずれかの電源回路と、該電源回路からの電源電圧に基づいて、走査信号、データ信号を出力する駆動回路と、前記走査信号が入力される走査線、前記データ信号が入力されるデータ線及び該走査線及び該データ線により駆動される表示素子を有するパネルとを含み、前記パネルのデューティ比に応じて前記第 1 の制御信号を変化させ昇圧比及び降圧比の少なくとも一方を変化させることを特徴とする。このようにすれば、デューティ比に合わせて昇圧比、降圧比を制御できるため、無駄な電力の消費を効果的に低減できる。

また本発明に係る表示装置は、N本の前記走査線の中のK ($N < K$) 本を選択

の対象とし他の（ $N-K$ ）本を選択の対象から除外するパーシャル表示を所与の第2の制御信号に基づいて行うと共に、該パーシャル表示の際に、選択する走査線の数に応じて前記第1の制御信号を変化させ昇圧比及び降圧比の少なくとも一方を変化させることを特徴とする。このようにすれば、表示エリアと非表示エリアとに画面を分けるパーシャル表示が可能になると共に、このパーシャル表示の際に無駄な電力が消費されるのを効果的に防止できる。

また本発明に係る電子機器は、上記の表示装置と、前記第1、第2の制御信号の設定のための処理を行う中央制御手段とを含むことを特徴とする。このようにすれば、電子機器が持つCPU、MPU等の中央制御手段上で、例えばソフトウェアにより第1、第2の制御信号を設定することが可能となる。

また本発明は、電圧変換を行い、変換された電圧を電源電圧として供給する電源回路であって、第1のキャパシタ、第2のキャパシタ、所与の電圧に基づき前記第1のキャパシタに電荷を蓄積するための第1のスイッチング手段及び前記第1のキャパシタに蓄積された電荷を前記第2のキャパシタに転送するための第2のスイッチング手段とを有する少なくとも1つのチャージポンプ回路と、前記第1、第2のスイッチング手段を制御するための複数のスイッチング信号を生成するスイッチング信号生成回路とを含み、前記スイッチング信号生成回路が、基準電位及び前記チャージポンプ回路からのチャージポンプ電位を受け、前記第1、第2のスイッチング手段が含むスイッチングトランジスタに出力されるスイッチング信号のオフ期間での電位を、スイッチングトランジスタのソースに供給される前記基準電位及び前記チャージポンプ電位のいずれかの電位に設定することを特徴とする。

本発明によれば、スイッチングトランジスタに入力されるスイッチング信号のオフ期間での電位が、そのスイッチングトランジスタのソースに供給される基準電位やソースに供給されるチャージポンプ電位と等しくなる。これによりスイッチングトランジスタを適切にオフできる。またスイッチング信号の振幅を小さくできるため、無駄な電力が消費されるのを効果的に防止できる。

また本発明は、前記スイッチング信号生成回路が、複数のチャージポンプ回路

からの複数のチャージポンプ電位に基づいて、スイッチング信号のオフ期間での電位を設定することを特徴とする。このようにすれば、複数のチャージポンプ回路を用いて最終的な変換電圧を得る場合に、各々のチャージポンプ回路により生成された電位の有効利用を図ることができる。

また本発明は、前記スイッチング信号生成回路が、基本スイッチング信号を生成する回路と、該基本スイッチング信号の振幅を、前記基準電位及び前記チャージポンプ電位に基づいて変換するレベルシフタとを含むことを特徴とする。このようなレベルシフタを用いることで、スイッチングトランジスタをオン、オフ制御できると共にオフ期間における電位がソース供給電位に等しくなるスイッチング信号を、簡易に生成することが可能となる。

また本発明に係る表示装置は、上記の電源回路と、該電源回路からの電源電圧に基づいて、走査信号、データ信号を出力する駆動回路と、前記走査信号が入力される走査線、前記データ信号が入力されるデータ線及び該走査線及び該データ線により駆動される表示素子を有するパネルとを含むことを特徴とする。このようにすれば、消費電力の極めて低い表示装置を提供できる。

また本発明に係る電子機器は、上記の表示装置と、前記表示装置の表示制御のための処理を行う中央制御手段とを含むことを特徴とする。このようにすれば、例えば携帯電話、プリンター、パーソナルコンピュータ、ページャ、プロジェクタなどの電子機器において、装置の低消費電力化、電池の長寿命化を図ることができる。

[図面の簡単な説明]

図1 A、図1 Bは、チャージポンプ方式について説明するための図であり、図1 C、図1 Dは、昇圧比を可変にする種々の手法について説明するための図である。

図2 A、図2 B、図2 C、図2 Dは、実施例1の原理について説明するための図である。

図3 A、図3 B、図3 C、図3 Dも、実施例1の原理について説明するための

図である。

図 4 は、液晶表示装置の構成例を示す図である。

図 5 A、図 5 B は、デューティ比と昇圧比の関係について説明するための図である。

図 6 は、パーシャル表示について説明するための図である。

図 7 A、図 7 B、図 7 C も、パーシャル表示について説明するための図である。

図 8 は、実施例 1 の全体構成を示す図である。

図 9 A、図 9 B は、7 倍、6 倍の昇圧原理について説明するための図である。

図 10 A、図 10 B、図 10 C は、5 倍、4 倍、3 倍の昇圧原理について説明するための図である。

図 11 A、図 11 B は、7 倍昇圧時のスイッチング素子の具体的動作について説明するための図である。

図 12 A、図 12 B は、6 倍昇圧時のスイッチング素子の具体的動作について説明するための図である。

図 13 A、図 13 B は、5 倍昇圧時のスイッチング素子の具体的動作について説明するための図である。

図 14 A、図 14 B は、4 倍昇圧時のスイッチング素子の具体的動作について説明するための図である。

図 15 A、図 15 B は、3 倍昇圧時のスイッチング素子の具体的動作について説明するための図である。

図 16 は、実施例 1 のチャージポンプ部の具体的構成例を示す図である。

図 17 は、P 基板を用いた場合のチャージポンプ部の具体的構成例を示す図である。

図 18 は、実施例 1 のスイッチング信号生成回路の構成例を示す図である。

図 19 は、7 倍昇圧時のスイッチング信号の波形例を示す図である。

図 20 は、6 倍昇圧時のスイッチング信号の波形例を示す図である。

図 21 は、5 倍昇圧時のスイッチング信号の波形例を示す図である。

図 22 は、4 倍昇圧時のスイッチング信号の波形例を示す図である。

図 2 3 は、3 倍昇圧時のスイッチング信号の波形例を示す図である。

図 2 4 は、レベルシフタの構成例である。

図 2 5 は、実施例 2 の全体構成例を示す図である。

図 2 6 は、通常のチャージポンプ方式を用いた場合のチャージポンプ部の構成例である。

図 2 7 は、図 2 6 の回路のスイッチング信号の波形例を示す図である。

図 2 8 A、図 2 8 B、図 2 8 C は、実施例 2 の原理を説明するための図である。

図 2 9 は、実施例 2 のチャージポンプ部の具体的構成例を示す図である。

図 3 0 は、実施例 2 のスイッチング信号の波形例を示す図である。

図 3 1 は、実施例 2 のスイッチング信号生成回路の構成例を示す図である。

図 3 2 は、実施例 3 のチャージポンプ部の具体的構成例を示す図である。

図 3 3 は、実施例 3 のスイッチング信号生成回路の構成例を示す図である。

図 3 4 は、実施例 4 の電子機器の構成例を示すブロック図である。

図 3 5 A、図 3 5 B は、電子機器の 1 つである携帯電話の通常使用時、特殊使用時の正面図である。

図 3 6 A、図 3 6 B は、電子機器の 1 つである携帯型電子辞書の斜視図である。

図 3 7 A、図 3 7 B は、電子機器の 1 つである携帯型電子翻訳機の斜視図である。

図 3 8 は、電子機器の 1 つである携帯電話の外形を示す図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態について図面を用いて説明する。

(実施例 1)

1. 本実施例の原理

まず本実施例の原理について説明する。本実施例の電源回路ではチャージポンプ方式で電圧を変換している。このチャージポンプ方式についてまず説明する。

チャージポンプ方式では、図 1 A に示すようにチャージ期間において、スイッチング素子 SW 1 1、SW 1 2 を含む第 1 のスイッチング部 1 0 (第 1 のスイッ

チング手段)が、端子14、16に与えられるVDD、VSSに基づきキャパシタCP(第1のキャパシタ)に電荷を蓄積する。そしてポンプ期間では図1Bに示すように、スイッチング素子SW21、SW22を含む第2のスイッチング部12(第2のスイッチング手段)が、CPに蓄積された電荷をキャパシタCB(第2のキャパシタ)に転送する。そして図1A、図1Bでは端子16が端子18に接続されているため、結局、 $V_L = V_{SS} - V_{DD}$ の電位が端子20に出力され、負方向の1倍昇圧(反転昇圧)が行われることになる(なお以下では、VSSを基準として昇圧比を規定することにする。例えばVDDを基準にした場合には図1A、図1Bは負方向の2倍昇圧になる)。

しかしながらこのチャージポンプ方式では、昇圧比RB($= (V_{SS} - V_L) / (V_{DD} - V_{SS})$)を可変に制御することが困難であるという課題がある。

例えば昇圧比RBを可変に制御する第1の手法として図1Cに示す手法が考えられる。この手法ではスイッチング素子SWSを有する電位切り替え部22を設け、このSWSをスイッチングし端子14に供給される電位VDD、VE1を切り替えることで、昇圧比RBを可変に制御する。

しかしながらこの手法では、VDD又はVE1とCPとの間に2つのスイッチング素子SWS、SW11が介在する。従って、SWS、SW11がスイッチングトランジスタである場合を例にとると、これらのスイッチングトランジスタのオン抵抗によりCPを充電する能力が低下し、電源回路の出力インピーダンスの増加を招く。そして出力インピーダンスが増加すると、負荷電流による電圧ドロップが大きくなり、電源回路を用いる液晶表示装置の表示特性の劣化を招く。逆に出力インピーダンスの増加を防ぐべく、SW11、SWSのトランジスタサイズを大きくすると、電源回路が形成されるICのチップ面積が増大する。特にスイッチングトランジスタのサイズは、オン抵抗をなるべく小さくするために例えばチャネル長Lが $4\mu\text{m}$ 、チャネル幅Wが数十 μm 程度の巨大なサイズのものを用いる場合が多く、スイッチングトランジスタの占有面積はチップ面積の大部分を占めている。従ってスイッチングトランジスタのサイズの増加がチップ面積の増大化に与える影響は極めて大きく、このためSWS、SW11を直列に接続す

る図1Cの手法は現実的でない。

また昇圧比RBを可変に制御する第2の手法として図1Dに示す手法も考えられる。この手法では電源回路のIC26の外部において、外部配線32、34を変更し端子24に接続される端子を28又は30に切り替えることで、昇圧比RBを可変に制御する。

しかしながら、この手法では、RBを可変に制御するために外部配線32、34を変更する作業が必要になる。従って、CPU(MPU)上で動作するソフトウェアにより昇圧比RBを制御することはできないという問題がある。

そこで本実施例では以下に説明する手法を採用している。

即ち図2A、図2B、図2C、図2Dに示すように、第1のスイッチング部40に、一端が互いに異なる電位VDD、VE1に接続され他端がキャパシタCPの一端に接続される複数のスイッチング素子SW11A、SW11Bを設ける。なお第2のスイッチング部42の構成は図1A、図1Bと同様である。ここで図中の丸印は、これにより囲まれるスイッチング素子がオン、オフ制御されることを示し、図中の二重丸印は、これにより囲まれるスイッチング素子が常にオフになることを示す。

本実施例の特徴は、図2A～図2Dに示すように、オン、オフ制御されるスイッチング素子と常にオフとなるスイッチング素子とを切り替えて、昇圧比RBを可変に制御する点にある。即ち図2A、図2BではSW11A(丸印)がオン、オフ制御され、SW11B(二重丸印)が常にオフになるのに対して、図2C、図2Dでは、SW11B(丸印)がオン、オフ制御され、SW11A(二重丸印)が常にオフになる。そして図2A、図2BではキャパシタCPがVDD、VSSにより充電されるのに対して、図2C、図2DではCPがVE1、VSSにより充電される。従って、図2A、図2Bにより得られるVLはVSS-VDDとなり、図2C、図2Dにより得られるVLはVSS-VE1となり、両者を異なるレベルにすることができる。即ち昇圧比RBを可変に制御できる。

ここでSW11A、SW11Bのどちらをオン、オフ制御するかは、所与の昇圧制御信号(第1の制御信号)に基づいて特定される。例えば昇圧制御信号がV

LをVSS-VDDにする昇圧動作を設定するものである場合には、SW11Aがオン、オフ制御される。一方、昇圧制御信号がVLをVSS-VE1にする昇圧動作を設定するものである場合には、SW11Bがオン、オフ制御される。なお以上のようなスイッチング制御を行うスイッチング信号の生成は、後述するスイッチング信号生成回路が行うことになる。

前述の図1Cでは、VDD又はVE1とCPとの間に2つのスイッチング素子SWS、SW11が介在するという問題があった。これに対して本実施例では、VDD又はVE1とCPとの間には1つのスイッチング素子SW11A又はSW11Bしか介在しない。従って、スイッチング素子の寄生抵抗（オン抵抗）を原因とする出力インピーダンスの増加、表示特性の劣化等の問題を効果的に防止できる。

また図1Dでは、CPU上で動作するソフトウェアにより昇圧比RBを可変に制御できないという問題があった。これに対して本実施例では、CPU上で動作するソフトウェアは、デジタル信号の昇圧制御信号を制御することでRBを可変に制御できる。従って、後述するパーシャル表示の際の電源電圧の制御等を、ソフトウェアにより行うことが可能となる。

なお図2A～図2Dでは、キャパシタCPの一端に2つのスイッチング素子SW11A、SW11Bが接続されているが、図3A、図3Bに示すように3つのスイッチング素子SW11A、SW11B、SW11Cを接続したり、4つ以上のスイッチング素子を接続してもよい。

また図3C、図3Dに示すようにキャパシタCPの両端の各々に複数のスイッチング素子を接続してもよい。

また図2A～図2D、図3A～図3Dでは、負方向昇圧の場合を例にとり説明したが、正方向昇圧や降圧の場合にも本実施例は適用できる。そして降圧動作を行う場合には第1の制御信号は降圧比制御信号になる。

2. 液晶表示装置の例

次に本実施例の電源回路を含む液晶表示装置の例について説明する。図4に本実施例の電源回路50を含む液晶表示装置の全体ブロック図の例を示す。電源回

路50からの電源電圧は、走査ドライバ54～57及びデータドライバ58～61を含む駆動回路52に供給される。駆動回路52は、これらの電源電圧に基づいて走査信号、データ信号を生成し、パネル62に出力する。パネル62は、走査信号が入力される走査線、データ信号が入力されるデータ線、これらの走査線及び信号線により駆動される液晶素子を有する。

図4の液晶表示装置では、マルチライン駆動法（MLS駆動法、例えば特願平4-84007号公報、特開平5-46127号公報、特開平6-130910号公報を参照）により液晶を駆動している。MLS駆動法では、複数の走査線が同時に選択され、これにより走査線の駆動電圧を低くできる。電源回路50は、この走査線の駆動電圧を生成するためのV_H（正極性の高電位）、V_L（負極性の高電位）を走査ドライバ54～57に供給している。そしてV_{DD}、V_{SS}からこれらのV_H、V_Lを生成するために、図2A～図3Dで説明した手法による電圧変換を行っている。

図5Aに、4ライン同時選択のMLS駆動法におけるデューティ比（フレーム周期に対する走査信号の選択期間の割合）と最適昇圧比R_{BO}との関係を示し、図5Bに電位関係図を示す。デューティ比1/Nが決まると、最適なコントラストを得る最適の昇圧比R_{BO}が一意的に決まる。ここで $R_{BO} = (V_H - V_C) / (V_3 - V_C) = (V_H - V_C) / (V_{DD} - V_{SS}) = (V_C - V_L) / (V_{DD} - V_{SS})$ の関係が成り立つ。従って例えばデューティ比が1/120の場合には最適昇圧比R_{BO}は2.74となるため、電源回路の昇圧比R_Bを3倍にすることが望ましい。同様にデューティ比が1/160、1/200、1/240、1/320、1/480となった場合には、これに応じて昇圧比も、4倍、4倍、4倍、5倍、6倍に変化させることが望ましい。

ところがデューティ比の変化に伴い昇圧比を変化させないと、例えばデューティ比1/480用の6倍昇圧の電源回路によりデューティ比1/120の駆動を行った場合に、実際は3倍昇圧で十分なのに6倍昇圧で液晶を駆動することになる。このため、電源回路自身が無駄な電力を消費することになり、液晶表示装置や電子機器の消費電力が増加し、電池寿命の短縮化等の問題を招く。

一方、図1 C、図1 Dで説明した手法を用いて、デューティ比の変化に伴い昇圧比R Bを変化させると、表示特性の劣化やチップ面積の増大化等の種々の問題が生じる。

これに対して本実施例では、表示特性の劣化やチップ面積の増大化を最小限に抑えながら、昇圧比R Bを可変に制御できる。従って、デューティ比の変化に伴い、各デューティ比に応じた適切な昇圧比になるようにR Bを制御できる。

特に本実施例の電源回路は、図6に示すように、N本の走査線の中のK本を選択の対象とし他の(N-K)本を選択の対象から除外するパーシャル表示を行う場合に有効である。図6では、表示制御信号(第2の制御信号)DOFF 0はインアクティブとなりDOFF 1~DOFF 3はアクティブになっている。これにより走査ドライバ5 4は通常の走査信号を出力する一方で、走査ドライバ5 5~5 7の出力は例えばV C(図5 B参照)に固定される。これによりパネル6 2の画面を、画像表示に使用するエリア6 4と画像表示に使用しないエリア6 6に区画することができ、パーシャル表示が可能になる。

そしてこのようなパーシャル表示を行った場合には、デューティ比が $1/N$ から $1/K$ に変化するため、図5 Aから明らかなように昇圧比R Bも変化させることが望ましい。そこで本実施例では、昇圧制御信号(第1の制御信号)STP 0~STP 2を変化させて、V H、V Lのレベルを変化させている。これにより電源回路5 0は、デューティ比(パーシャル表示するエリアの面積)に応じた最適なV H、V Lを走査ドライバ5 4~5 7に供給でき、パーシャル表示の際の無駄な電力の消費を格段に低減できる。特に本実施例では、昇圧制御信号STP 0~STP 2及び表示制御信号DOFF 0~DOFF 7の両方を、例えばCPU上で動作するソフトウェアによりデジタル的に制御できるため、パーシャル表示に必要な制御のほとんど全てをソフトウェアにより実現できるという利点がある。

なおDOFF 4、DOFF 5、DOFF 6又はDOFF 7がアクティブになると、データドライバ5 8、5 9、6 0又は6 1の出力が例えばV Cに固定される。これによりデータ線方向に境界を持つパーシャル表示が可能となる。

またパーシャル表示の実施形態としては、例えば図7 A、図7 B、図7 Cに示

すような種々の形態を考えることができる。図7Aでは、パネル62の中間付近に、画像表示に使用するエリア64が設定され、図7Bでは、画像表示に使用するエリア64が2つに分割されている。また図7Cでは、走査ドライバ側のみならずデータドライバ側の表示制御信号DOFF4~DOFF7も制御して、走査線方向の境界及びデータ線方向の境界の両方を持つパーシャル表示が行われている。

3. 電源回路の詳細

次に本実施例の電源回路の詳細について説明する。図8に示すように本実施例の電源回路50はスイッチング信号生成回路70とチャージポンプ部72を含む。

スイッチング信号生成回路70は、入力電位VDD、VSS、クロック信号CLK、昇圧制御信号STP0~STP2及びチャージポンプ部72からのVLに基づいて、種々のスイッチング信号XBB、AB、AVL、BVL、XBVL、BVLX34、XBVLX567、BVLX35、BVLX46、XBVLX7を生成し、チャージポンプ部72に出力する。この場合、これらのスイッチング信号は、図2A~図3Dで説明した原理に基づき生成される。

チャージポンプ部72は、複数のチャージポンプ回路を含み、スイッチング信号生成回路70からのスイッチング信号に基づきVH、VL、V2、-V2、-V3を生成し、走査ドライバやデータドライバに出力する。そして本実施例では、昇圧制御信号STP0~STP2に基づいて昇圧比が変化し、VH、VLのレベルが変化することになる。

次に本実施例の昇圧原理について説明する。図9Aは、7倍昇圧（以下、適宜X7と表す）の昇圧原理を示すものであり、同様に図9B、図10A、図10B、図10Cは、各々、6倍昇圧（X6）、5倍昇圧（X5）、4倍昇圧（X4）、3倍昇圧（X3）の昇圧原理を示すものである。本実施例では、STP0~STP2を制御することで、昇圧比を7倍~3倍の範囲で制御できる。

図9Aの7倍昇圧（X7）について説明する。キャパシタCP2は、タイミングB（チャージ期間）ではVDD、VSSに、タイミングA（ポンプ期間）ではVSS、VE2に接続される。これによりVSSを基準とする負方向1倍昇圧

(VDDを基準とする場合には負方向2倍昇圧)の電位VE2が生成される。またキャパシタCP4は、タイミングBではVDD、VE2に、タイミングAではVE2、VE4に接続される。これにより負方向3倍昇圧の電位VE4が生成される。またキャパシタCPVLは、タイミングBではVDD、VE4に、タイミングAではVE4、VLに接続される。これにより負方向7倍昇圧の電位VLが生成される。またCPVHは、タイミングBではVH、VSSに、タイミングAではVSS、VLに接続される。これにより正方向7倍昇圧の電位VHが生成される。なおキャパシタCB2、CB4、CBVL、CBVHは、各々、CP2、CP4、CPVL、CPVHに対応する、電圧を保持するためのキャパシタである。

図9Bの6倍昇圧(X6)では、CPVLに接続される電位が図9Aと異なっている。即ちタイミングBにおいてCPVLは、図9AではEに示すようにVDD、VE4に接続されるのに対して、図9BではFに示すようにVSS、VE4に接続される。VSSはVDDに比べて $VDD - VSS$ だけ電位が低いため、図9Aで7倍昇圧であったものが、図9Bでは $VDD - VSS$ 分だけ昇圧比が下がり6倍昇圧になる。そしてCPVLの一端に接続される電位のVDDからVSSへの変更は、図2A～図3Dで説明した手法により行われることになる。

図10Aの5倍昇圧(X5)では、図9AのEと異なり、タイミングBにおいてCPVLはGに示すようにVE2、VE4に接続される。これにより昇圧比を更に下げることができる。また図10Bの4倍昇圧(X4)では、タイミングBにおいてCP4、CPVLは、各々、H、Iに示すようにVSS、VE2間、VSS、VE4間に接続される。更に図10Cの3倍昇圧(X3)では、タイミングBにおいてCP4、CPVLが、各々、J、Kに示すようにVSS、VE2間、VE2、VE4間に接続される。

本実施例では、以上のような昇圧原理により電源回路の昇圧比を7倍～3倍の範囲で可変に制御している。

次に図11A～図15Bを用いて本実施例のスイッチング素子の具体的な動作について説明する。

図11A、図11Bは、7倍昇圧(X7)でのスイッチング素子の動作を説明するための図である。図2A～図3Dと同様に、図中の丸印は、これにより囲まれるスイッチング素子がオン、オフ制御されることを示し、図中の二重丸印は、これにより囲まれるスイッチング素子が常にオフになることを示す。図11A、図11Bでは、スイッチング素子SW567及びSW7がオン、オフ制御され、SW34、SW35及びSW46が常にオフになっている。これによりタイミングBにおいてCP4にはVDDからI1の経路で電荷が蓄積されることになる。一方、CPVLにはVDDからI2の経路で電荷が蓄積されることになる。即ち図9Aで既に説明したように、タイミングBにおいてCP4はVDD、VE2により充電され、CPVLはVDD、VE4により充電されることになる。

なお、SW567の表記の中の”567”は、5、6、7倍昇圧時にオン、オフ制御され、それ以外の時にはオフになることを示す。従ってSW34は3、4倍昇圧時に、SW7は7倍昇圧時に、SW46は4、6倍昇圧時に、SW35は3、5倍昇圧時にオン、オフ制御され、それら以外の時にはオフになる。

6倍昇圧時(X6)においては、図12A、図12Bに示すように、SW567、SW46がオン、オフ制御され、SW34、SW7、SW35が常にオフになる。これによりCP4、CPVLには、各々、VDD、VSSからI3、I4の経路で電荷が蓄積されることになる。即ち図11A、図11Bと比較して、CPVLへの経路がI2からI4に変更されている。

5倍昇圧時(X5)においては、図13A、図13Bに示すように、SW567、SW35がオン、オフ制御され、SW34、SW7、SW46が常にオフになる。これによりCP4、CPVLには、各々、VDD、VE2からI5、I6の経路で電荷が蓄積されることになる。即ち図11A、図11Bと比較して、CPVLへの経路がI2からI6に変更されている。

4倍昇圧時(X4)においては、図14A、図14Bに示すように、SW34、SW46がオン、オフ制御され、SW567、SW7、SW35が常にオフになる。これによりCP4、CPVLには、各々、VSSからI7、I8の経路で電荷が蓄積されることになる。即ち図11A、図11Bと比較して、CP4、CP

VLへの経路がI 1、I 2からI 7、I 8に変更されている。

3倍昇圧時(X 3)においては、図1 5 A、図1 5 Bに示すように、SW 3 4、SW 3 5がオン、オフ制御され、SW 5 6 7、SW 7、SW 4 6が常にオフになる。これによりCP 4、CPVLには、各々、VSS、VE 2からI 9、I 1 0の経路で電荷が蓄積されることになる。即ち図1 1 A、図1 1 Bと比較して、CP 4、CPVLへの経路がI 1、I 2からI 9、I 1 0に変更されている。

以上のように、本実施例では、他端が異なる電位VDD、VSSに接続されるSW 5 6 7及びSW 3 4を、CP 4の一端に接続する。そして要求される昇圧比に応じて、オン、オフ制御されるスイッチング素子を切り替える。即ち5、6、7倍昇圧の時にはSW 5 6 7を、3、4倍昇圧の時にはSW 3 4をオン、オフ制御する。同様に、他端が異なる電位VDD、VSS、VE 2に接続されるSW 7、SW 4 6及びSW 3 5を、CPVLの一端に接続する。そして7倍昇圧の時にはSW 7を、4、6倍昇圧の時はSW 4 6を、3、5倍昇圧の時にはSW 3 5をオン、オフ制御する。このようにすることで、表示特性の劣化、チップ面積の増大化を最小限に抑えながら昇圧比を可変に制御できるようになる。

図1 6に、本実施例の電源回路をCMOSトランジスタを用いて実現した例を示す。スイッチングトランジスタ8 0、8 2、8 4、8 6、8 8が、各々、図1 1 A～図1 5 BのSW 5 6 7、SW 3 4、SW 7、SW 4 6、SW 3 5に相当する。図1 6では、VDD、VHにソースが接続されるトランジスタ以外は全てN型のトランジスタとなっている。

なお図1 6において点線8 9の上の部分の回路は、電源回路が形成されるICの外付け部品になる。

また図1 6では、移動度の大きいN型トランジスタを使用し且つ基板バイアス効果によるしきい値電圧の上昇を防ぐために、分離されたPウェルを有するN基板構造を採用している。例えばP基板構造を採用する場合には図1 7に示すように回路構成とすればよい。図1 7の場合には、正方向の昇圧によりVE 2、VE 4、VHを順次生成し、生成されたVHを負方向に昇圧することでVLを得ている。

さて図16において、各スイッチングトランジスタのゲートに入力されるスイッチング信号の表記の意味は以下のようになっている。

AB 正極性: Aアクティブ: 振幅B : 常にオン・オフ
 XBB 負極性: Bアクティブ: 振幅B : 常にオン・オフ
 AVL 正極性: Aアクティブ: 振幅VL: 常にオン・オフ
 BVL 正極性: Bアクティブ: 振幅VL: 常にオン・オフ
 XBVL 負極性: Bアクティブ: 振幅VL: 常にオン・オフ
 BVLX34 . . 正極性: Bアクティブ: 振幅VL: 3,4倍昇圧時オン・オフ
 XBVLX567 . 負極性: Bアクティブ: 振幅VL: 5,6,7倍昇圧時オン・オフ
 BVLX35 . . 正極性: Bアクティブ: 振幅VL: 3,5倍昇圧時オン・オフ
 BVLX46 . . 正極性: Bアクティブ: 振幅VL: 4,6倍昇圧時オン・オフ
 XBVLX7 . . . 負極性: Bアクティブ: 振幅VL: 7倍昇圧時オン・オフ

但し、上記のAアクティブ、Bアクティブとは、各々、タイミングA、タイミングBでスイッチング信号がアクティブになることを示す。また振幅B、VLとは、各々、振幅がVDD-VSS、VDD-VLであることを表す。

これらのスイッチング信号を生成するスイッチング信号生成回路70（図8参照）の構成例を図18に示す。また7、6、5、4、3倍昇圧時のスイッチング信号の波形例を、各々、図19、図20、図21、図22、図23に示す。

図18に示すように、このスイッチング信号生成回路は、基本スイッチング信号A、Bを生成する基本スイッチング信号生成回路90と、昇圧制御信号STP0~STP2をデコードして、信号ML34、ML567、ML35、ML46、ML7を出力するデコーダ96と、出力回路98とを含む。

基本スイッチング信号生成回路90はディレイ部92、94を含み、クロック信号CLKに基づいて、図19に示すようなノンオーバーラップの基本スイッチング信号A、Bを生成する。信号AはタイミングAでアクティブになり信号BはタイミングBでアクティブになる。

デコーダ96は昇圧制御信号STP0～STP2をデコードし、STP0～STP2が3、4、5、6、7倍昇圧を指定するものである場合に、各々、信号XML3、XML4、XML5、XML6、XML7をアクティブにする。デコーダ96はこれらのXML3～XML7を更にデコードし、3、4倍昇圧、5、6、7倍昇圧、3、5倍昇圧、4、6倍昇圧、7倍昇圧の場合に、各々、信号ML34、ML567、ML35、ML46、ML7をアクティブにする。

出力回路98は、基本スイッチング信号A、B及びデコーダ96の出力信号ML34～ML7を受け、オン、オフ制御するスイッチング素子に対しては、基本スイッチング信号A、Bに基づき生成されたスイッチング信号を出力し、オン、オフ制御しないスイッチング素子に対しては、電位VDD又はVLに固定されたスイッチング信号を出力する。

なお出力回路98は、図24にその構成を示すレベルシフタ99-1～99-7を含んでいる。そしてこれらのレベルシフタ99-1～99-7は、基本スイッチング信号A、Bの振幅を、基準電位VDD及びチャージポンプ電位VLに基づいて変換する。

例えば7倍昇圧時においては図19に示すように、スイッチング信号BV LX34、BV LX35、BV LX46は電位VLに固定され、スイッチング信号AVL等は基本スイッチング信号A又はBの振幅をレベルシフタにより8倍に変換することにより得られる。

また6倍昇圧時においては図20に示すように、スイッチング信号BV LX34、BV LX35は電位VLに、XBV LX7は電位VDDに固定され、スイッチング信号AVL等は基本スイッチング信号A又はBの振幅をレベルシフタにより7倍に変換することにより得られる。

また5倍昇圧時においては図21に示すように、スイッチング信号BV LX34、BV LX46は電位VLに、XBV LX7は電位VDDに固定され、スイッチング信号AVL等は基本スイッチング信号A又はBの振幅をレベルシフタにより6倍に変換することにより得られる。

また4倍昇圧時においては図22に示すように、スイッチング信号BV LX3

5は電位VLに、XBVLX567、XBVLX7は電位VDDに固定され、スイッチング信号AVL等は基本スイッチング信号A又はBの振幅をレベルシフタにより5倍に変換することにより得られる。

また3倍昇圧時においては図23に示すように、スイッチング信号BVLX46は電位VLに、XBVLX567、XBVLX7は電位VDDに固定され、スイッチング信号AVL等は基本スイッチング信号A又はBの振幅をレベルシフタにより4倍に変換することにより得られる。

以上に説明したようなスイッチング信号を、昇圧制御信号STP0～STP2に基づいてスイッチング信号生成回路が生成することで、表示品質の劣化、チップ面積の増大化を最小限に抑えながら、昇圧比を可変に制御することが可能となる。これにより電源回路の自己消費電力の低減化、電池の長寿命化、デューティ比に応じた昇圧比の設定、低消費電力のバーチャル表示の実現などが可能となる。

(実施例2)

実施例2は、スイッチングトランジスタがオフとなる期間でのスイッチング信号の電位を適正な電位に設定して、電源回路の自己消費電力の低減化を図る実施例である。

図25に示すように、実施例2の電源回路50はスイッチング信号生成回路110とチャージポンプ部112を含む。そして図8と異なり、チャージポンプ部112からスイッチング信号生成回路110に対して、電位VLのみならず電位VE2、VE4も帰還される。スイッチング信号生成回路110は、これらのVL、VE2、VE4（チャージポンプ電位）やVDD、VSS（基準電位）に基づいて、オフ期間でのスイッチング信号の電位を生成することになる。

図26に、通常のチャージポンプ方式によりVH、VLを得る回路の例を示し、図27に、この回路において各スイッチングトランジスタに与えられるスイッチング信号の波形例を示す。この回路では信号AB、XBBが与えられるスイッチングトランジスタ202、204以外のスイッチングトランジスタには、信号AVL、BVL又はXBVLが与えられる。これらの信号AVL、BVL、XBV

Lは図27に示すように、高電位側が V_{DD} 、低電位側が V_L で振幅が $7(V_{DD}-V_{SS})$ の信号となっている。例えば図26のスイッチングトランジスタ206を例にとると、図28Aに示すように、オン期間に V_{DD} 、オフ期間に V_L となるスイッチング信号 AV_L がゲートに対して与えられている。

しかしながら、スイッチングトランジスタ206がオフする条件は V_{GS} (ゲート・ソース電圧) $< V_{TH}$ (しきい値電圧) であるため、オフ期間での AV_L の電位は、少なくとも $V_{SS}+V_{TH}$ (スイッチングトランジスタ206のしきい値電圧) よりも低ければ十分である。従って、オフ期間に AV_L の電位が V_L になりゲート・ソース間に余分な電圧が印加される図28Aの手法は、電力の無駄な消費を招く。

即ちCMOSトランジスタの回路の消費電力 P は、信号のクロック周波数 f 、ゲート容量や配線容量などの寄生容量 C 、信号の振幅 V により主に支配され、 $P = f C V^2$ と表せる。従って、オフ期間に振幅 V が $7(V_{DD}-V_{SS})$ となる図28Aの手法は、電力を無駄に消費していることになる。特に、チャージポンプ方式の電源回路においては出力インピーダンスを低くすべくスイッチングトランジスタのオン抵抗を低くする必要がある。このため例えばチャネル長 L が $4\mu m$ 、チャネル幅 W が数十 mm というような巨大なサイズのスイッチングトランジスタが用いられ、スイッチングトランジスタのゲート容量が大きい。従って、ゲートを駆動する信号の振幅が大きい図28Aの手法では、ゲート容量に起因する電力消費が非常に大きくなってしまう。

実施例2は、このような課題を解決するためになされたものであり、図29にその構成例を示し、図30に、各スイッチングトランジスタに与えられるスイッチング信号の波形例を示す。

図26と図29の違いは、図26では、202、204を除く全てのスイッチングトランジスタに対して $V_{DD}-V_L = 7(V_{DD}-V_{SS})$ の振幅を持つスイッチング信号 AV_L 、 BV_L 又は XBV_L が与えられるのに対して、図29では、各スイッチングトランジスタに対して各々のスイッチングトランジスタに最適な振幅を持つスイッチング信号が与えられる点にある。

例えばスイッチングトランジスタ120に対しては、図30に示すように($V_{DD}-V_{SS}$)の振幅を持つスイッチング信号AVCが与えられる。

またスイッチングトランジスタ122、124、126に対しては $V_{DD}-V_{E2}=2$ ($V_{DD}-V_{SS}$)の振幅を持つ信号AVE2又はBVE2が与えられる。

またスイッチングトランジスタ128、130、132、134に対しては $V_{DD}-V_{E4}=4$ ($V_{DD}-V_{SS}$)の振幅を持つ信号AVE4又はBVE4が与えられる。

またスイッチングトランジスタ136、138、140、142、144、146に対しては $V_{DD}-V_L=7$ ($V_{DD}-V_{SS}$)の振幅を持つ信号AVL又はBVL又はXBVLが与えられる。

即ち図28Bに示すように、スイッチングトランジスタ120に対しては、オン期間に V_{DD} 、オフ期間に V_{SS} となるスイッチング信号AVCがゲートに対して与えられる。即ちオフ期間でのスイッチング信号の電位が、スイッチングトランジスタ120のソースに供給される電位 V_{SS} と等しくなっている。

またスイッチングトランジスタ122、124に対しては、図28Cに示すように、オン期間に V_{DD} 、オフ期間に V_{E2} となるスイッチング信号BVE2、AVE2がゲートに対して与えられる。即ちオフ期間でのスイッチング信号の電位が、スイッチングトランジスタ122、124のソースに供給される電位 V_{E2} と等しくなっている。

以上のように本実施例では、オフ期間でのスイッチング信号の電位を、スイッチングトランジスタのソースに供給される電位に等しくしている。このようにすれば V_{GS} (ゲート・ソース電圧) $< V_{TH}$ (しきい値)の条件が満たされるため、オフ期間においてスイッチングトランジスタを適正にオフできる。そして図28Aではオフ期間にゲート・ソース間に余分な電圧が印加され無駄な電力の消費を招いていたが、図28B、図28Cではオフ期間にスイッチングトランジスタをオフさせるのに必要最小限の電圧がゲート・ソース間に印加されるため、無駄な電力の消費を最小限に抑えることができる。これにより電源回路の自己消費

電力を低減でき、この電源回路を使用する表示装置や電子機器の低消費電力化、電池の長寿命化等を図れる。

さて図29において、各スイッチングトランジスタのゲートに入力されるスイッチング信号の表記の意味は以下のようになっている。

AB 正極性: Aアクティブ: 振幅B : 常にオン・オフ
 XBB 負極性: Bアクティブ: 振幅B : 常にオン・オフ
 AVC 正極性: Aアクティブ: 振幅VC : 常にオン・オフ
 AVE2 正極性: Aアクティブ: 振幅VE2 : 常にオン・オフ
 BVE2 正極性: Bアクティブ: 振幅VE2 : 常にオン・オフ
 AVE4 正極性: Aアクティブ: 振幅VE4 : 常にオン・オフ
 BVE4 正極性: Bアクティブ: 振幅VE4 : 常にオン・オフ
 AVL 正極性: Aアクティブ: 振幅VL : 常にオン・オフ
 BVL 正極性: Bアクティブ: 振幅VL : 常にオン・オフ
 XBVL 負極性: Bアクティブ: 振幅VL : 常にオン・オフ

但し振幅B、VCとは振幅が $V_{DD}-V_{SS}$ であることを表し、振幅VE2、VE4、VLとは、各々、振幅が $V_{DD}-V_{E2}$ 、 $V_{DD}-V_{E4}$ 、 $V_{DD}-V_L$ であることを表す。

これらのスイッチング信号を生成するスイッチング信号生成回路110（図25参照）の構成例を図31に示す。図31に示すように、このスイッチング信号生成回路は、基本スイッチング信号A、Bを生成する基本スイッチング信号生成回路150と、レベルシフタ160-1～160-6を含む。

レベルシフタ160-1、160-2は、基本スイッチング信号A、Bの振幅を、基準電位 V_{DD} とチャージポンプ電位 V_{E2} に基づいて変換し、スイッチング信号AVE2、BVE2を出力する。

レベルシフタ160-3、160-4は、基本スイッチング信号A、Bの振幅を、基準電位 V_{DD} と上記VE2とは異なるチャージポンプ電位VE4に基づいて変

換し、 $AVE4$ 、 $BVE4$ を出力する。

レベルシフタ160-5、160-6は、基本スイッチング信号A、Bの振幅を、基準電位VDDと上記VE2及び上記VE4とは異なるチャージポンプ電位VLに基づいて変換し、 AVL 、 BVL 、 $XBVL$ を出力する。

このように本実施例の1つの特徴は、複数のチャージポンプ回路からのチャージポンプ電位VE2、VE4、VLの中から、スイッチング信号のオフ期間に使用するのに適切な電位を選択し、スイッチング信号AVE2等を生成している点にある。即ち最終的な昇圧電位VLの生成の際に得られるVE2、VE4の存在に着目し、これらのVE2、VE4をスイッチング信号のオフ期間の電位として有効利用している点にある。

なお本実施例では、スイッチングトランジスタのオン期間でのスイッチング信号の電位はVDDとなっている。これはオン期間においてはゲート・ソース間電圧が大きいほどトランジスタの電流供給能力が大きくなるからである。但し低消費電力化を優先する場合には、オン期間でのスイッチング信号の電位も低くする等の制御を行うことが望ましい。

(実施例3)

実施例3は、実施例1、2を組み合わせたものであり、図32にその構成例を示す。ここで各スイッチングトランジスタのゲートに入力されるスイッチング信号の表記の意味は以下のようにになっている。

AB	正極性:Aアクティブ:振幅B	:常にオン・オフ
XBB	負極性:Bアクティブ:振幅B	:常にオン・オフ
AVL	正極性:Aアクティブ:振幅VL	:常にオン・オフ
BVL	正極性:Bアクティブ:振幅VL	:常にオン・オフ
AVC	正極性:Aアクティブ:振幅VC	:常にオン・オフ
$XBVL$	負極性:Bアクティブ:振幅VL	:常にオン・オフ
$AVE2$	正極性:Aアクティブ:振幅VE2	:常にオン・オフ

$BVE2$ 正極性: Bアクティブ: 振幅 $VE2$: 常にオン・オフ
 $AVE4$ 正極性: Aアクティブ: 振幅 $VE4$: 常にオン・オフ
 $BVE4$ 正極性: Bアクティブ: 振幅 $VE4$: 常にオン・オフ
 $BVE2X34$. 正極性: Bアクティブ: 振幅 $VE2$: 3,4倍昇圧時オン・オフ
 $XBVLX567$. 負極性: Bアクティブ: 振幅 VL : 5,6,7倍昇圧時オン・オフ
 $BVE4X35$. 正極性: Bアクティブ: 振幅 $VE4$: 3,5倍昇圧時オン・オフ
 $BVE4X46$. 正極性: Bアクティブ: 振幅 $VE4$: 4,6倍昇圧時オン・オフ
 $XBVLX7$ 負極性: Bアクティブ: 振幅 VL : 7倍昇圧時オン・オフ

図16の実施例1では、一部以外の全てのスイッチングトランジスタに対して $VDD - VL$ の振幅を持つスイッチング信号が与えられていた。これに対して、図32では、スイッチングトランジスタ168に対しては $VDD - VSS$ の振幅を持つスイッチング信号 AVC が与えられている。同様に、スイッチングトランジスタ170、172、174、176に対しては、 $VDD - VE2$ の振幅を持つスイッチング信号 $BVE2$ 、 $AVE2$ 、 $BVE2X34$ 、 $AVE2$ が、スイッチングトランジスタ178、180、182、184、186に対しては、 $VDD - VE4$ の振幅を持つスイッチング信号 $BVE4$ 、 $AVE4$ 、 $BVE4X35$ 、 $AVE4$ 、 $AVE4$ が与えられる。これにより、実施例2で説明したように、電源回路自身が消費する無駄な電力を低減できる。そして実施例3では、これに加えて、デューティ比に応じた最適な昇圧比の設定ができるため、電源回路の自己消費電力を更に低減化できる。

図33に実施例3のスイッチング信号生成回路の構成例を示す。このスイッチング信号生成回路は、基本スイッチング信号生成回路200、デコーダ210、出力回路212を含む。図18の実施例1のスイッチング信号生成回路との大きな相違点は、図33では、出力回路212に対してチャージポンプ電位 $VE2$ 、 $VE4$ 、 VL が入力されている点である。これにより出力回路212内の各レベルシフト220-1~220-11は、オフ期間の電位がスイッチングトランジスタのソースに供給される電位と等しくなるようなスイッチング信号を生成することが

可能となる。これにより、実施例2で説明したように、オフ期間にゲート・ソース間に余分な電圧が印加されることが防止され、電源回路の自己消費電力を低減できる。

(実施例4)

実施例4は、実施例1、2、3の電源回路や表示装置を利用した電子機器に関する実施例であり、図34にその構成例を示す。

図34の電子機器は、CPU(MPU)400、クロック発生回路410、メモリ(ROM、RAM)420、実施例1、2、3の電源回路430、画像処理回路(表示コントローラ)440、駆動回路450及びパネル460を含む。画像処理回路440は、CPU400からの指示、クロック発生回路410からのクロック信号、メモリ420からの画像情報等に基づいて、画像表示のために必要な各種の処理を行う。このような処理としては電源回路430や駆動回路450を制御する処理、ガンマ補正のための処理等が考えられる。駆動回路450は、走査ドライバ、データドライバ等を含みパネル460の駆動を行う。電源回路430は、上述の各回路に電源を供給する。

昇圧制御信号(第1の制御信号)、表示制御信号(第2の制御信号)の設定は、例えばCPU400(中央制御手段)上で動作するソフトウェアにより行われる。そしてこれらの制御信号は、CPU400が直接に、或いはCPU400の指示を受けた画像処理回路440が電源回路430に対して出力することになる。

このような構成の電子機器としては、携帯電話(セルラーフォン)、PHS、ページャ、プリンタ、オーディオ機器、電子手帳、電子卓上計算機、POS端末、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、パーソナルコンピュータ、テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置などを挙げることができる。

例えば図35Aは携帯電話の通常使用時の外観を示し、図35Bは携帯電話を携帯用端末として使用する場合の外観を示す。

携帯電話は、画面1000および画面1010と、アンテナ1100と、タッ

チキー 1200 及びマイク 1300 が設けられる操作パネル 1400 とを有する。画面 1000 および画面 1010 は、一つの液晶パネルにより構成される。

図 35 A、図 35 B から明らかなように、通常の使用時では、画面 1010 は操作パネル 1400 の下に隠れている。したがって、通常使用時には、画面 1010 は、表示制御信号（図 6 の DOFF0 ~ DOFF7）を用いて表示オフモードに設定されている。

そして、携帯用端末として使用する場合には、図 35 B に示すように、操作パネル 1400 が下側に折り返され、画面 1010 が現れる。この状態では、画面 1010 についての表示オフモードは解除されており、したがって、画面 1000 および画面 1010 を用いた多彩な画像表示が可能となる。

図 36 A、図 36 B は、携帯用電子辞書の使用態様を示す図である。

携帯用電子辞書 1500 は、通常は、図 36 A のような形態で使用され、このときは、画面 1510 を用いて所望の表示がなされる。

そして、画面 1510 では表示エリアが足りない場合には、図 36 B に示すように、画面 1520 が上側に押し出され、表示エリアが拡大される。図 36 A の状態では、画面 1520 は、本体内部に隠れて見えないため表示制御信号を用いて表示オフモードに設定されている。

図 37 A、図 37 B は、携帯型電子翻訳機の使用形態を示す図である。

携帯型電子翻訳機 1700 の画面 1710 には、図 37 A に示されるように、翻訳すべき英単語が示されている。そして、図 37 B に示すように、カバー 1720 をスライドさせると、その英単語の日本語訳が画面 1730 に表示される。画面のうちの、カバー 1720 の下に隠れて見えない部分は、表示オフモードに設定されている。なお図 37 A、図 37 B では、カバー 1720 が左右方向にスライド可能になっているが、上下方向にスライド可能にしてもよい。

図 38 の携帯電話では、待機時において、表示パネルの表示画面を、エリア「A」とエリア「B」に区分し、エリア「A」にアイコン等の簡単な画像を表示し、エリア「B」は表示オフモードにする。

以上の電子機器では、表示に寄与しないエリアを部分的に表示オフモードとす

ることにより、極めて低い消費電力で所望の画像表示を行うことができる。そしてこの表示オフモードの際に、デューティ比に合うように昇圧比を変更することで、無駄な電力の消費を防止でき、電子機器全体の低消費電力化を図れる。

なお、本発明は上記実施例 1、2、3、4 に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

例えば本発明の電源回路には複数のチャージポンプ回路を含めることが特に望ましいが、1つのみとすることも可能である。また本発明は昇圧による電圧変換に適用することが特に望ましいが、降圧による電圧変換に適用することもできる。

また本発明の電源回路は表示装置の電源として使用することが特に望ましいが、それ以外の用途にも使用できる。

また本発明の電源回路は、液晶素子を用いた表示装置に用いることが特に望ましいが、これに限らず、EL（エレクトロ・ルミネッセンス）、VFD（蛍光表示管）等、本発明の要旨の範囲内で種々の表示素子を用いた表示装置に適用できる。

また本実施例ではM L S 駆動法の液晶表示装置に本発明を適用した場合について説明したが、A P T 法（IEEE TRANSACTIONS OF ELECTRON DEVICE, VOL. ED-21, No2, FEBRUARY 1974 P146-155 "SCANNING LIMITATIONS OF LIQUID-CRYSTAL DISPLAYS" P. ALT, P. PLESHKO, ALT & PLESHKO TECHNIC）や、Smart Addressing（LCD International '95, 日経 B P 社主催の液晶ディスプレイ・セミナー, C-4 講演番号（1）, 鳥取三洋電機, 松下氏）等、種々の駆動法を用いた液晶表示装置に適用できる。

請 求 の 範 囲

(1) 電圧変換を行い、変換された電圧を電源電圧として供給する電源回路であって、

第1のキャパシタ、第2のキャパシタ、所与の電圧に基づき前記第1のキャパシタに電荷を蓄積するための第1のスイッチング手段及び前記第1のキャパシタに蓄積された電荷を前記第2のキャパシタに転送するための第2のスイッチング手段とを有する少なくとも1つのチャージポンプ回路と、

前記第1、第2のスイッチング手段を制御するための複数のスイッチング信号を生成するスイッチング信号生成回路とを含み、

前記第1のスイッチング手段が、

一端が互いに異なる電位に電気的に接続され他端が前記第1のキャパシタの少なくとも一端に電気的に接続される複数のスイッチング素子を含み、

前記スイッチング信号生成回路が、

昇圧比及び降圧比の少なくとも一方を制御するための少なくとも1つの所与の第1の制御信号を受け、前記複数のスイッチング素子の中で該第1の制御信号に基づき特定される1つのスイッチング素子をオン、オフ制御し他のスイッチング素子をオフするスイッチング信号を生成することを特徴とする電源回路。

(2) 請求項1において、

前記スイッチング信号生成回路が、

基本スイッチング信号を生成する回路と、

前記第1の制御信号をデコードするデコーダと、

前記基本スイッチング信号及び前記デコーダの出力を受け、オン、オフ制御するスイッチング素子に対しては前記基本スイッチング信号に基づき生成されたスイッチング信号を出力し、オン、オフ制御しないスイッチング素子に対しては所与の電位に固定されたスイッチング信号を出力する出力回路とを含むことを特徴とする電源回路。

(3) 請求項2において、

前記出力回路が、

前記基本スイッチング信号の振幅を、基準電位及び前記チャージポンプ回路からのチャージポンプ電位に基づいて変換するレベルシフタを含むことを特徴とする電源回路。

(4) 請求項1において、

前記スイッチング信号生成回路が、

基準電位及び前記チャージポンプ回路からのチャージポンプ電位を受け、前記第1、第2のスイッチング手段が含むスイッチングトランジスタに出力されるスイッチング信号のオフ期間での電位を、スイッチングトランジスタのソースに供給される前記基準電位及び前記チャージポンプ電位のいずれかの電位に設定することを特徴とする電源回路。

(5) 請求項1乃至4のいずれかの電源回路と、

該電源回路からの電源電圧に基づいて、走査信号、データ信号を出力する駆動回路と、

前記走査信号が入力される走査線、前記データ信号が入力されるデータ線及び該走査線及び該データ線により駆動される表示素子を有するパネルとを含み、

前記パネルのデューティ比に応じて前記第1の制御信号を変化させ昇圧比及び降圧比の少なくとも一方を変化させることを特徴とする表示装置。

(6) 請求項5において、

N本の前記走査線の中のK ($K < N$) 本を選択の対象とし他の($N - K$) 本を選択の対象から除外するパースシャル表示を所与の第2の制御信号に基づいて行うと共に、該パースシャル表示の際に、選択する走査線の数に応じて前記第1の制御信号を変化させ昇圧比及び降圧比の少なくとも一方を変化させることを特徴とする表示装置。

(7) 請求項5の表示装置と、

前記第1、第2の制御信号の設定のための処理を行う中央制御手段とを含むことを特徴とする電子機器。

(8) 請求項6の表示装置と、

前記第 1、第 2 の制御信号の設定のための処理を行う中央制御手段とを含むことを特徴とする電子機器。

(9) 電圧変換を行い、変換された電圧を電源電圧として供給する電源回路であって、

第 1 のキャパシタ、第 2 のキャパシタ、所与の電圧に基づき前記第 1 のキャパシタに電荷を蓄積するための第 1 のスイッチング手段及び前記第 1 のキャパシタに蓄積された電荷を前記第 2 のキャパシタに転送するための第 2 のスイッチング手段とを有する少なくとも 1 つのチャージポンプ回路と、

前記第 1、第 2 のスイッチング手段を制御するための複数のスイッチング信号を生成するスイッチング信号生成回路とを含み、

前記スイッチング信号生成回路が、

基準電位及び前記チャージポンプ回路からのチャージポンプ電位を受け、前記第 1、第 2 のスイッチング手段が含むスイッチングトランジスタに出力されるスイッチング信号のオフ期間での電位を、スイッチングトランジスタのソースに供給される前記基準電位及び前記チャージポンプ電位のいずれかの電位に設定することを特徴とする電源回路。

(10) 請求項 9 において、

前記スイッチング信号生成回路が、

複数のチャージポンプ回路からの複数のチャージポンプ電位に基づいて、スイッチング信号のオフ期間での電位を設定することを特徴とする電源回路。

(11) 請求項 9 において、

前記スイッチング信号生成回路が、

基本スイッチング信号を生成する回路と、

該基本スイッチング信号の振幅を、前記基準電位及び前記チャージポンプ電位に基づいて変換するレベルシフタとを含むことを特徴とする電源回路。

(12) 請求項 9 乃至 11 のいずれかの電源回路と、

該電源回路からの電源電圧に基づいて、走査信号、データ信号を出力する駆動回路と、

前記走査信号が入力される走査線、前記データ信号が入力されるデータ線及び該走査線及び該データ線により駆動される表示素子を有するパネルとを含むことを特徴とする表示装置。

(13) 請求項12の表示装置と、

前記表示装置の表示制御のための処理を行う中央制御手段とを含むことを特徴とする電子機器。

1 / 38

FIG. 1A

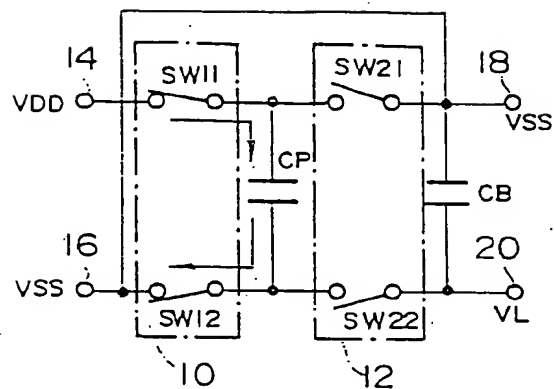


FIG. 1B

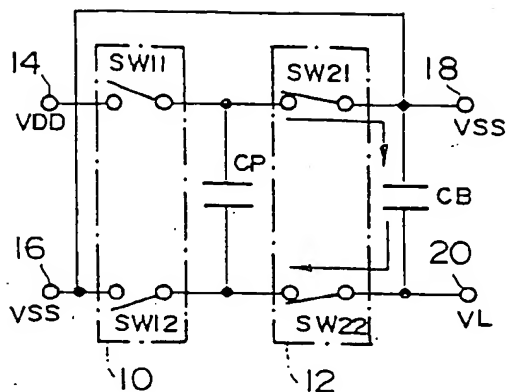


FIG. 1C

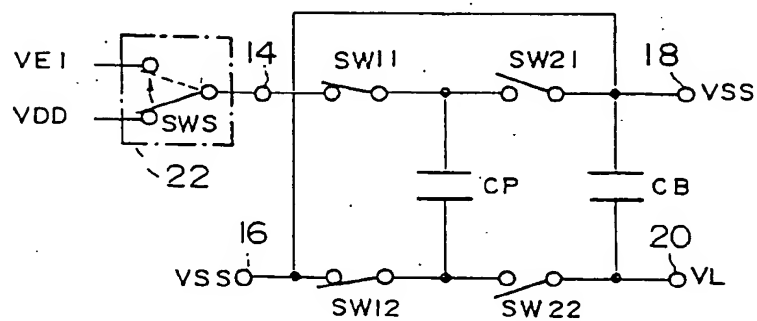
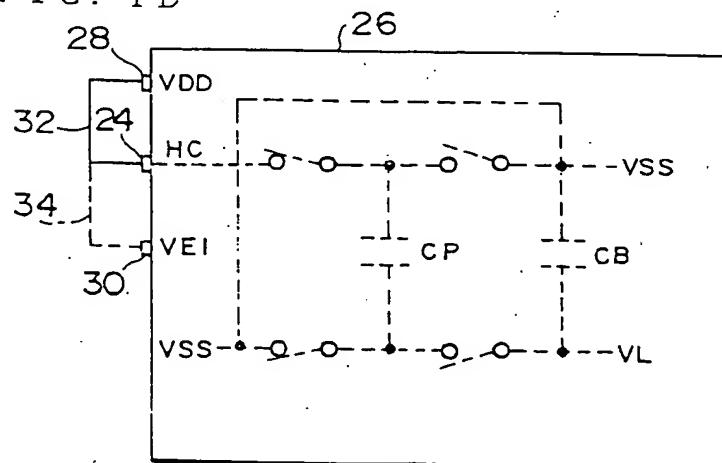


FIG. 1D



2 / 3 8

FIG. 2 A

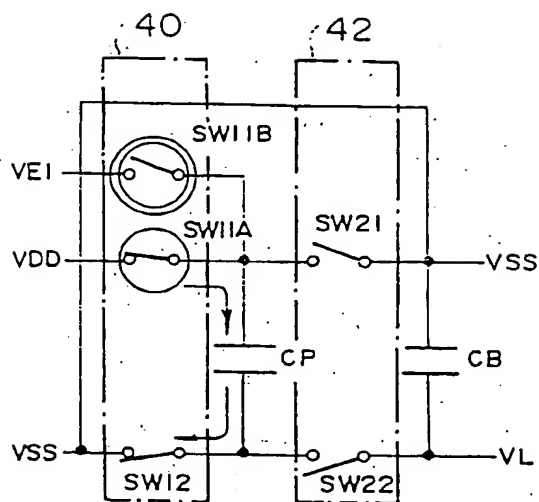


FIG. 2 B

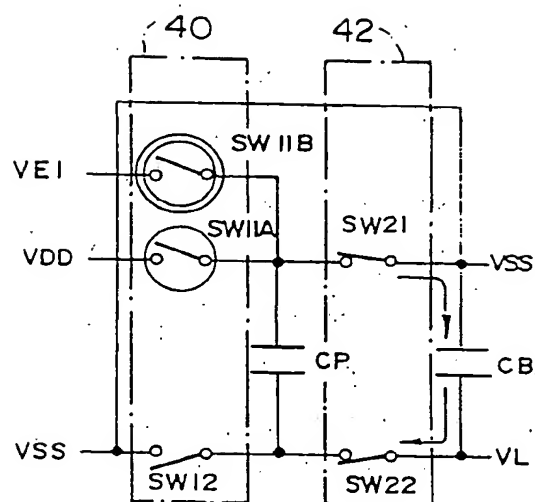


FIG. 2 C

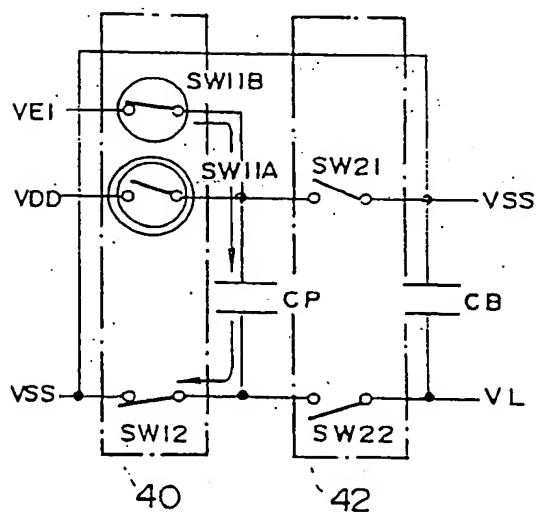
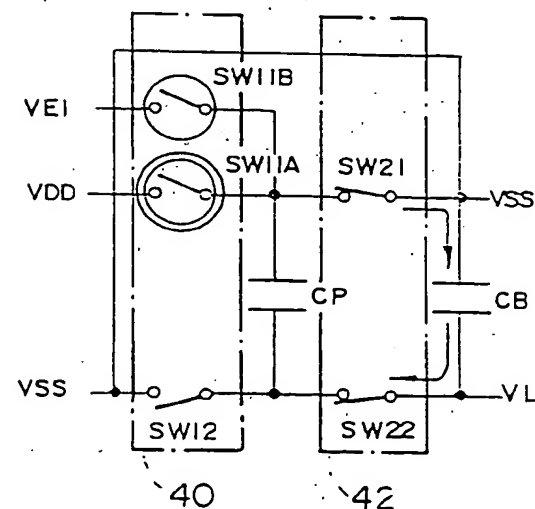


FIG. 2 D



3 / 3 8

FIG. 3 A

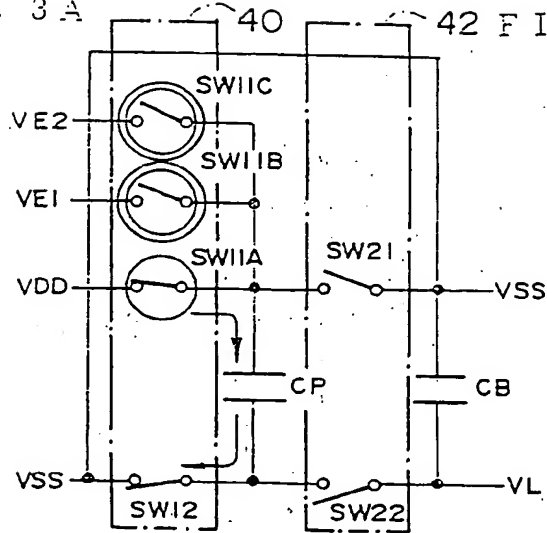


FIG. 3 B

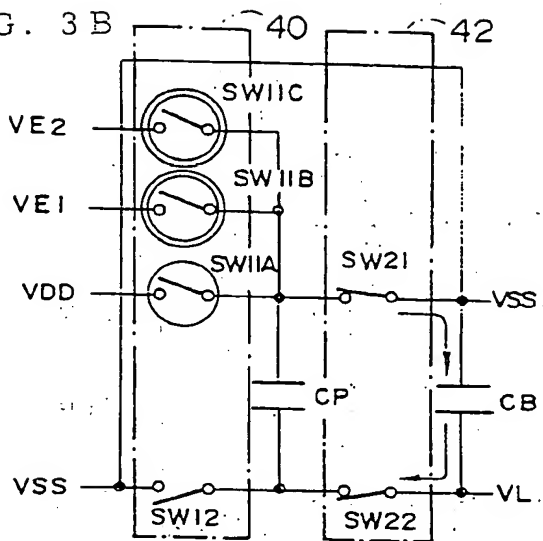


FIG. 3 C

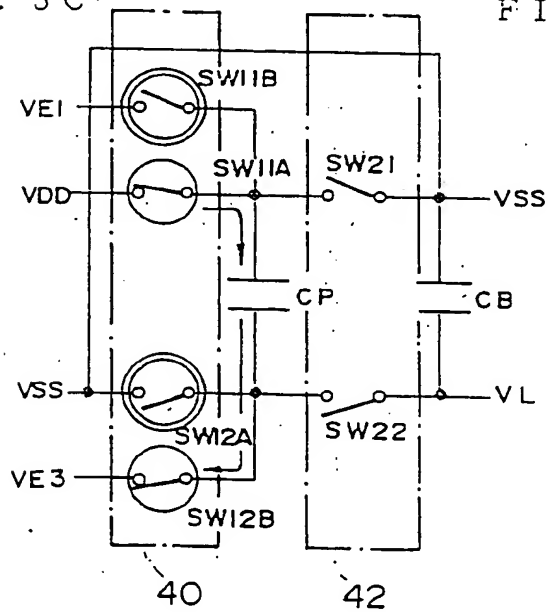


FIG. 3 D

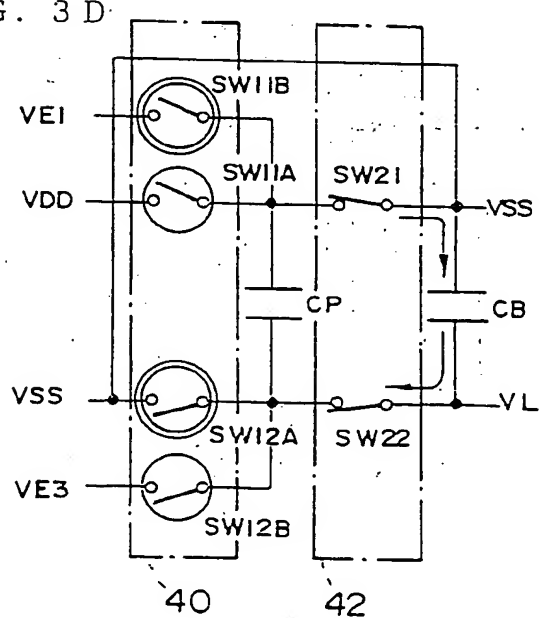
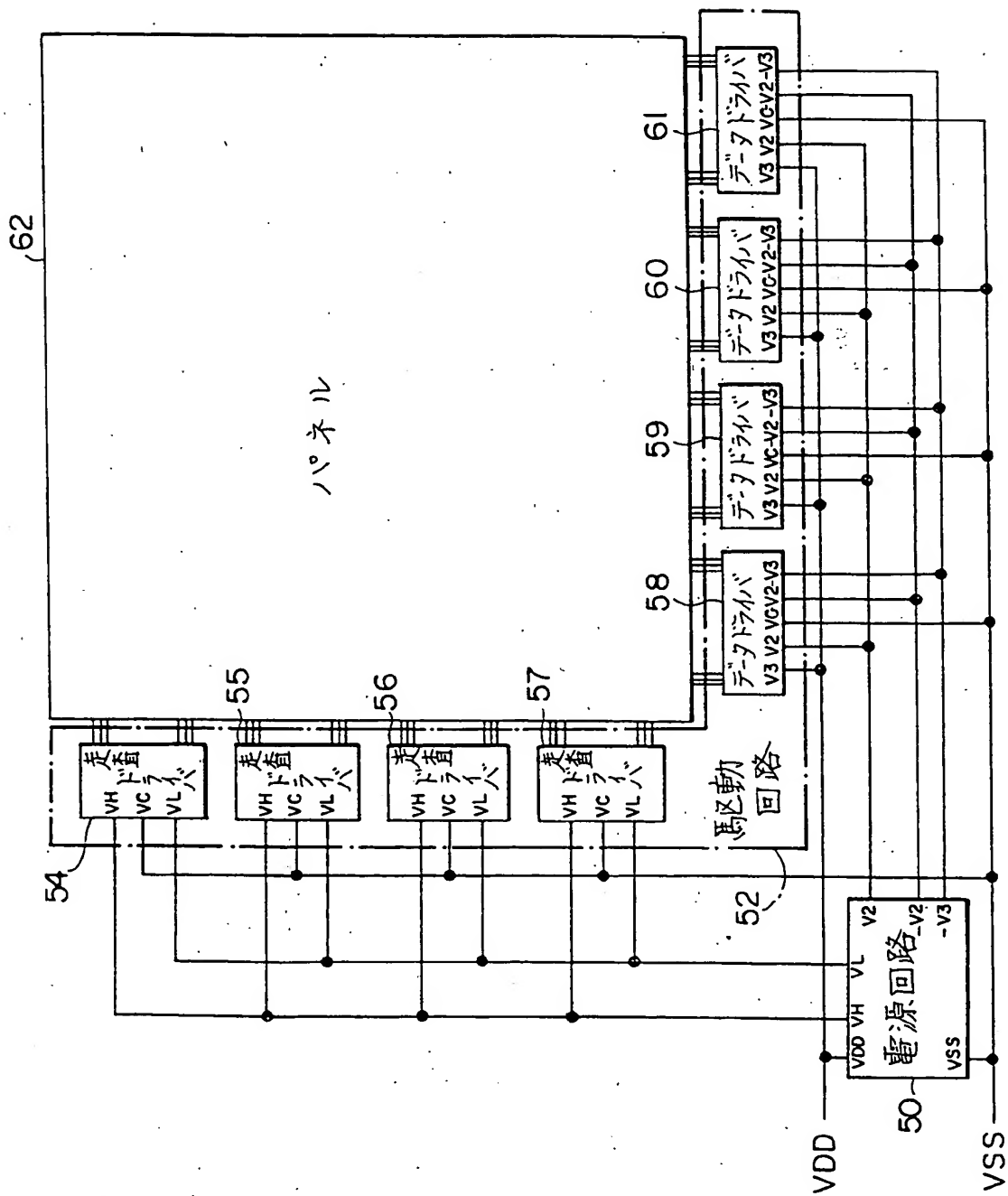


FIG. 4

4 / 38

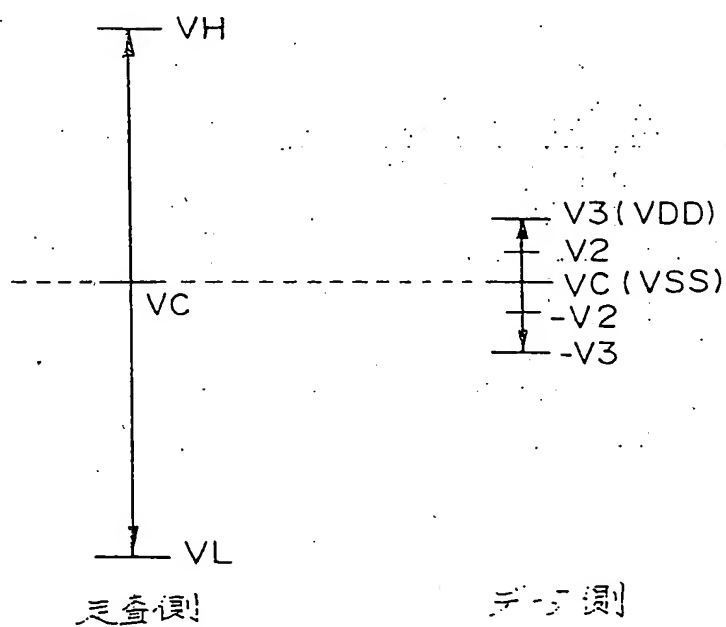


5/38

FIG. 5A

ゲ-ラ比	最適昇圧比 RBO	昇圧比 RB
$1/N$	$\sqrt{N/L}$	
1/120	2.74	3倍昇圧
1/160	3.16	4倍昇圧
1/200	3.54	4倍昇圧
1/240	3.87	4倍昇圧
1/320	4.47	5倍昇圧
1/480	5.48	6倍昇圧

FIG. 5B



7/38

FIG. 7A

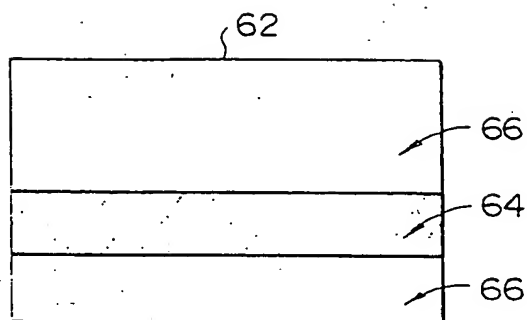


FIG. 7B

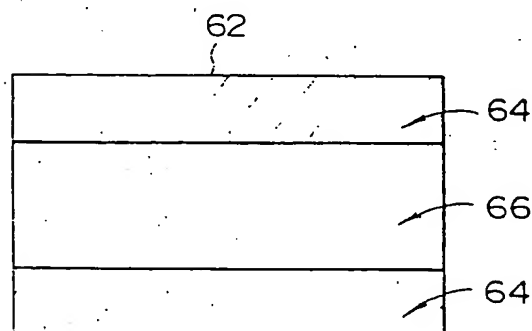
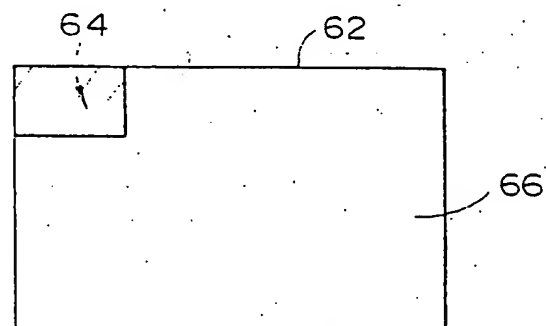
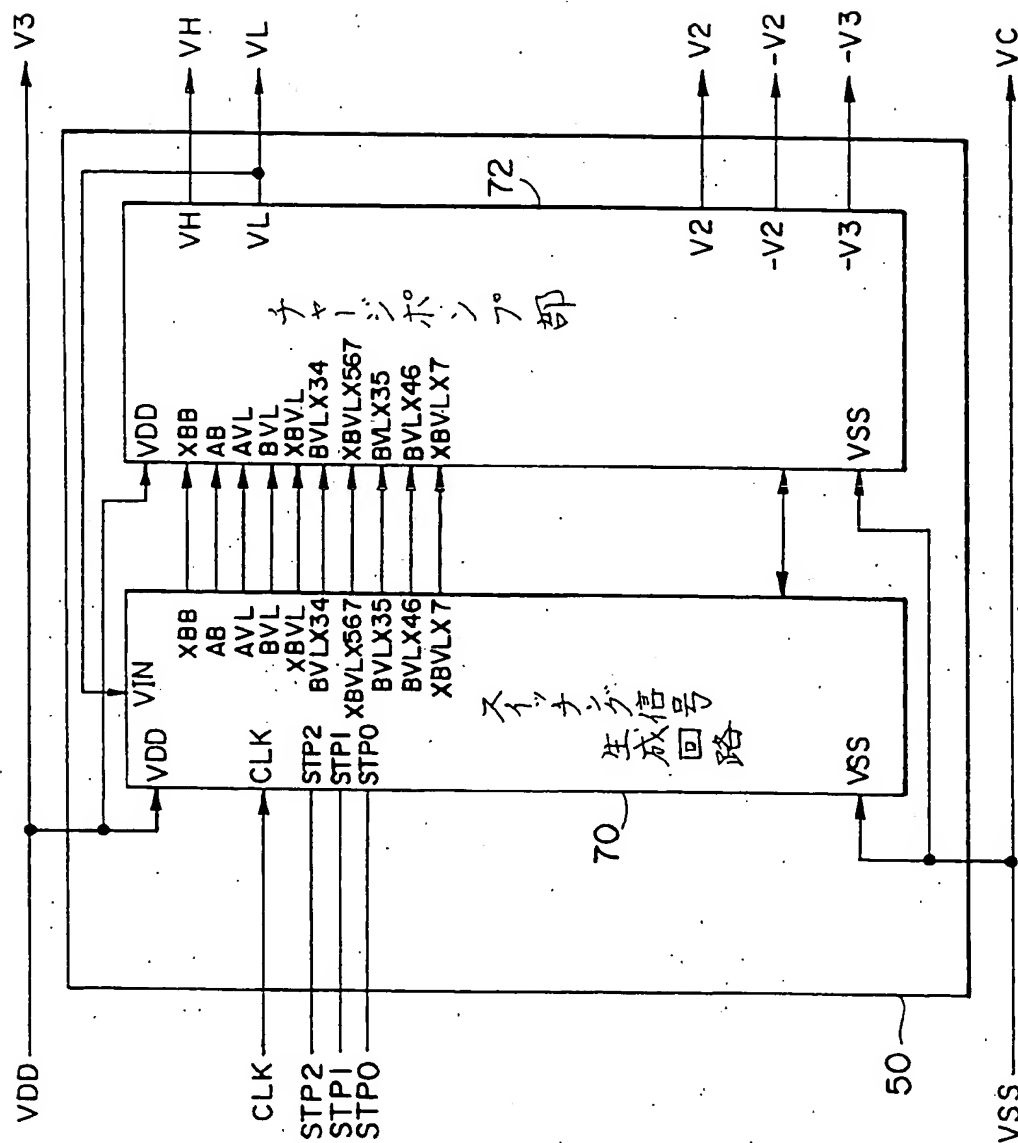


FIG. 7C



8 / 38

FIG. 8



9 / 38

FIG. 9A

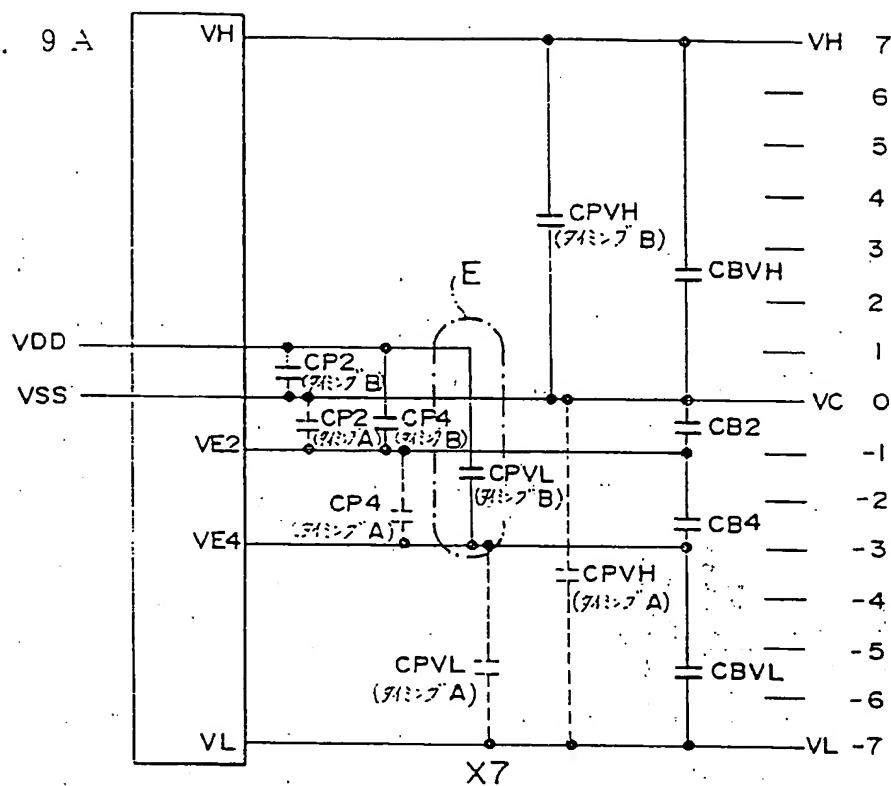
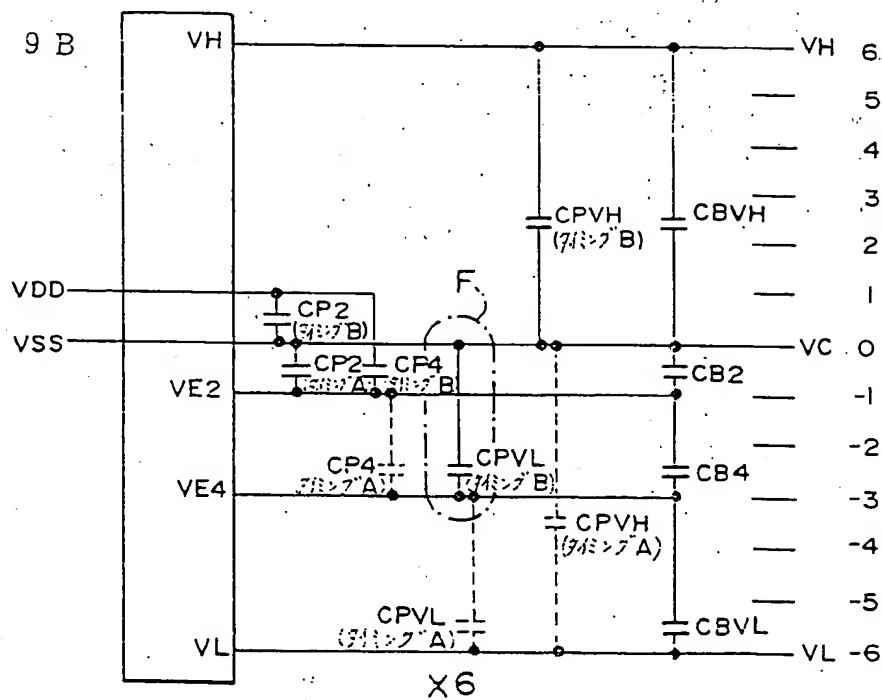


FIG. 9B



10/38

FIG. 10 A

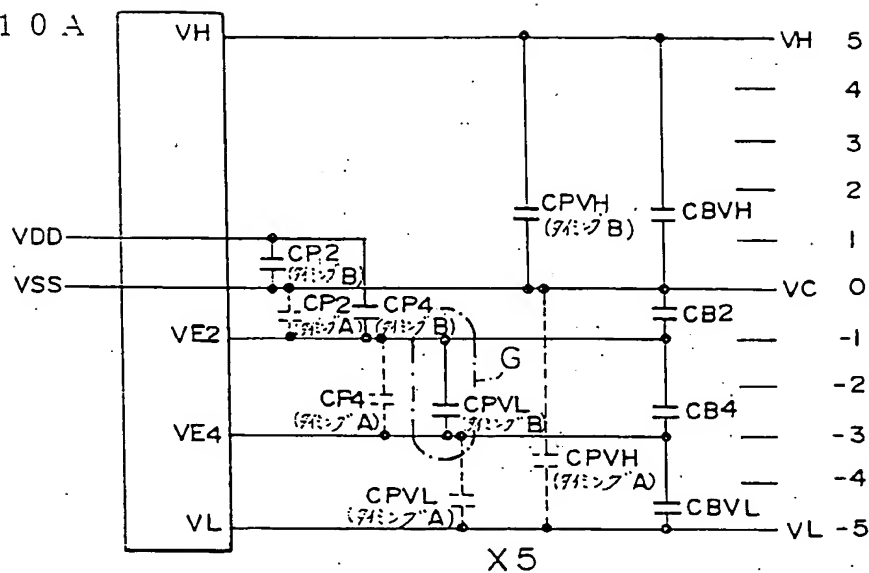


FIG. 10 B

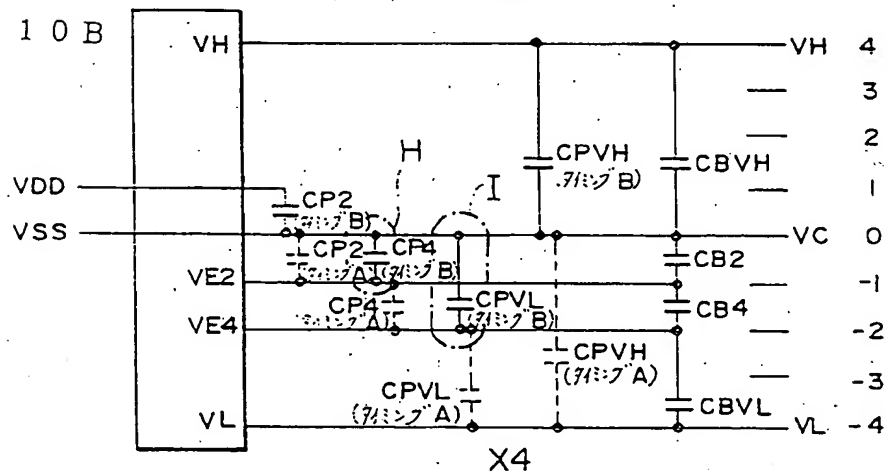
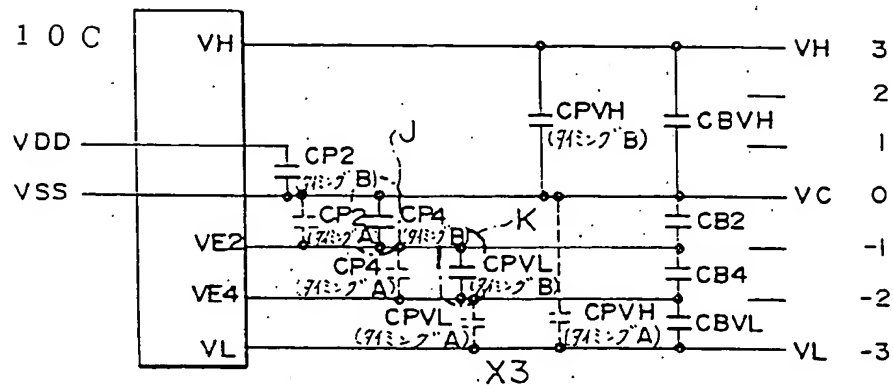
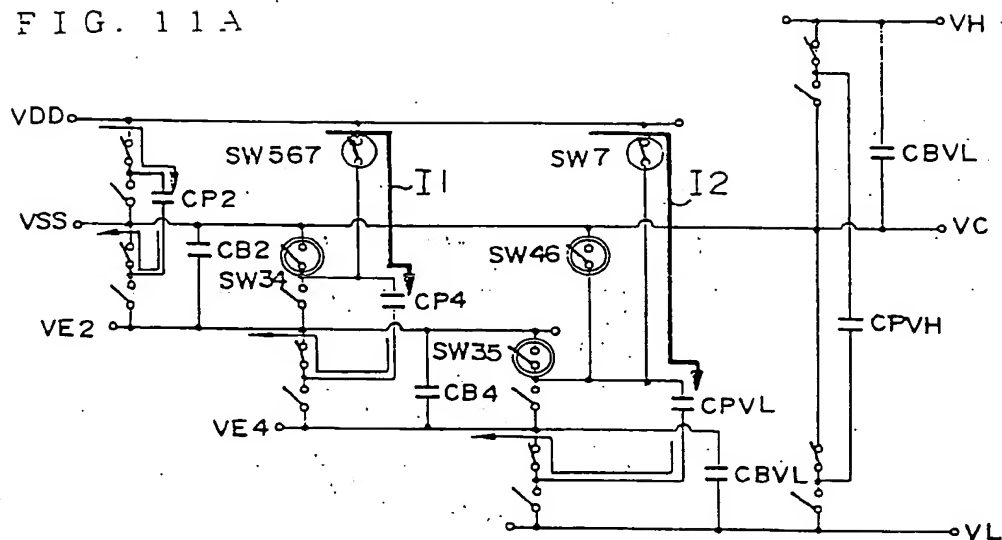


FIG. 10 C



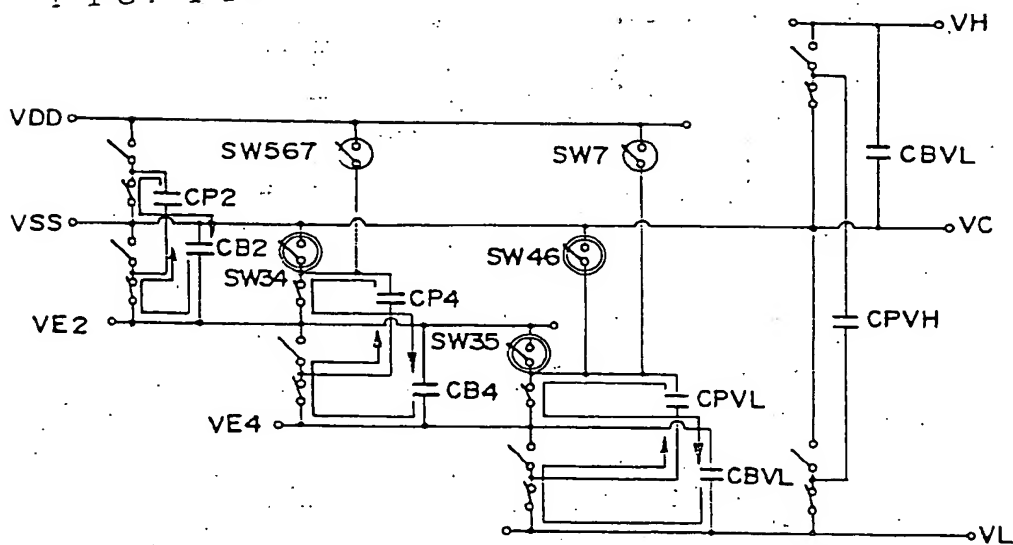
11/38

FIG. 11A



X7 タイミング B

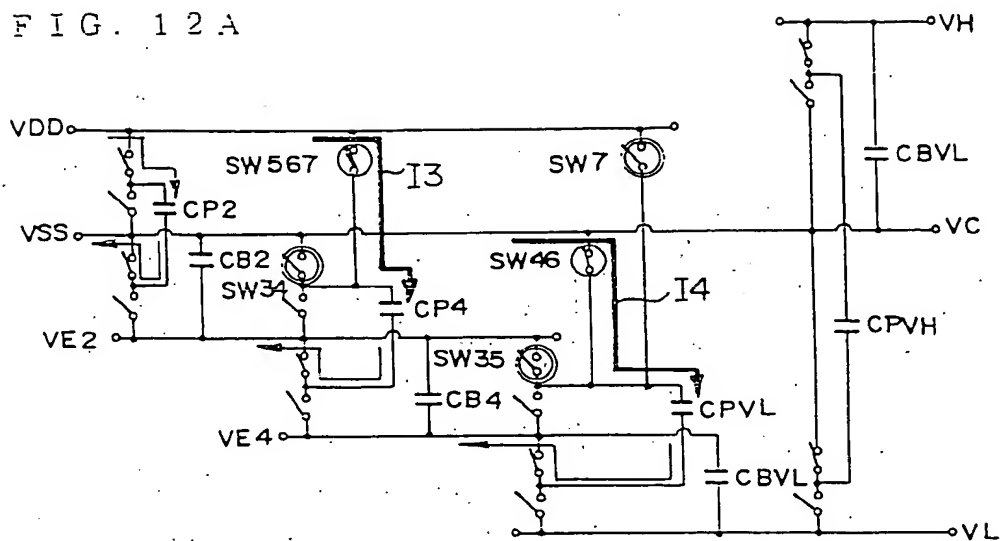
FIG. 11B



X7 タイミング A

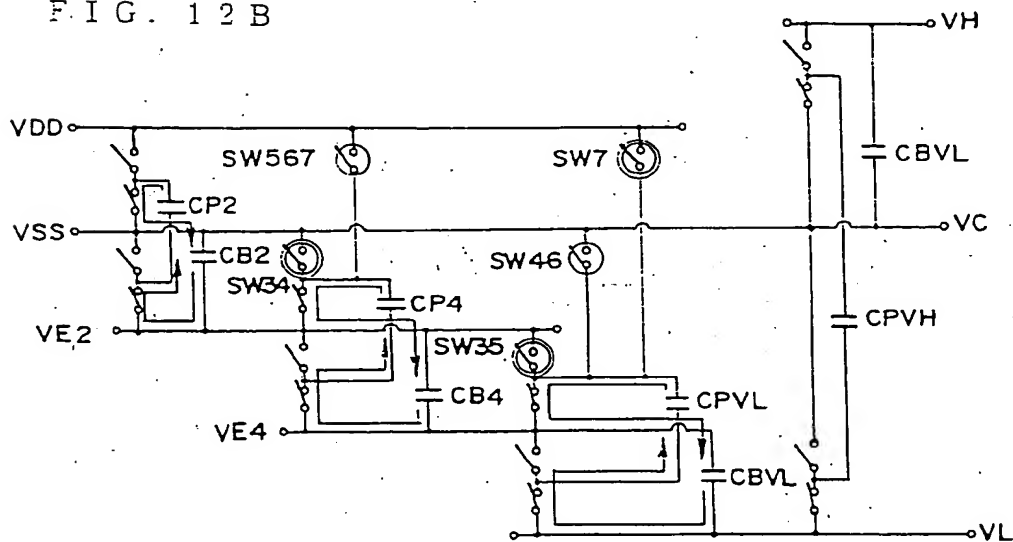
12 / 38

FIG. 12A



X6 タイミング B

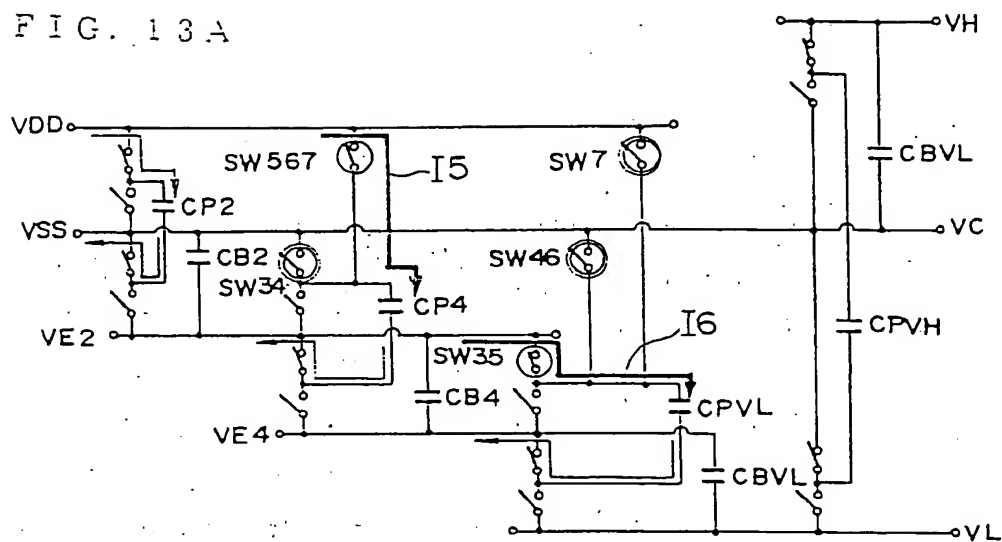
FIG. 12B



X6 タイミング A

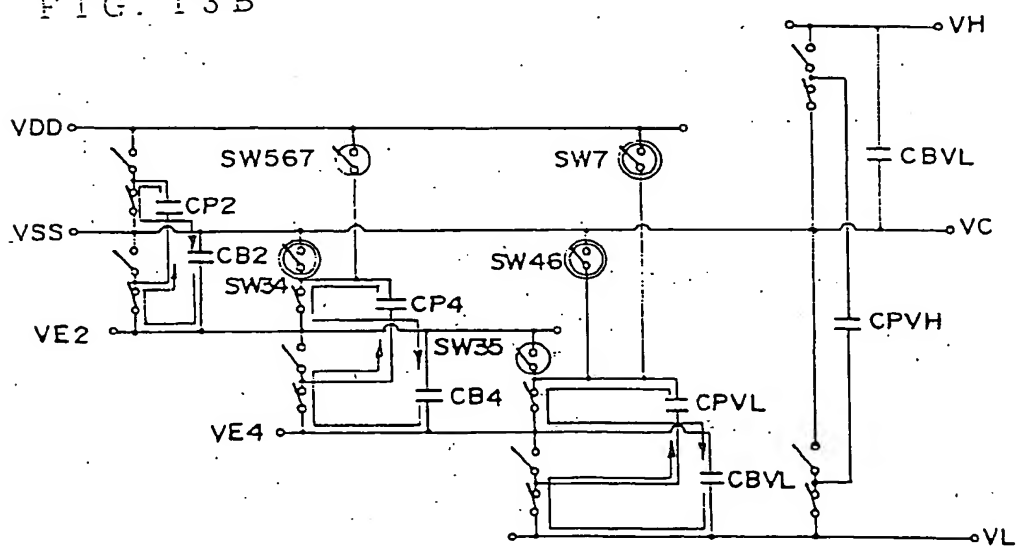
13/38

FIG. 13A



X5 タイミング B

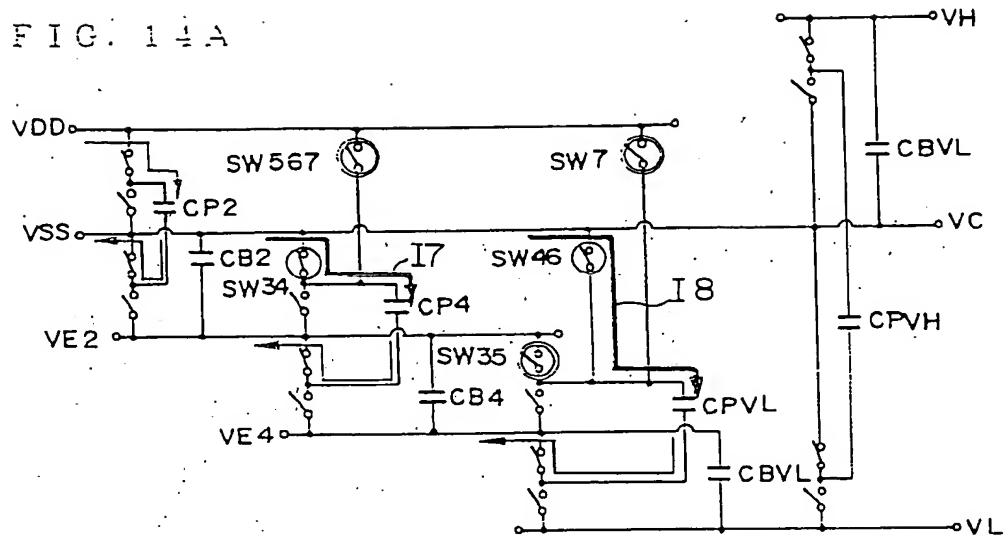
FIG. 13B



X5 タイミング A

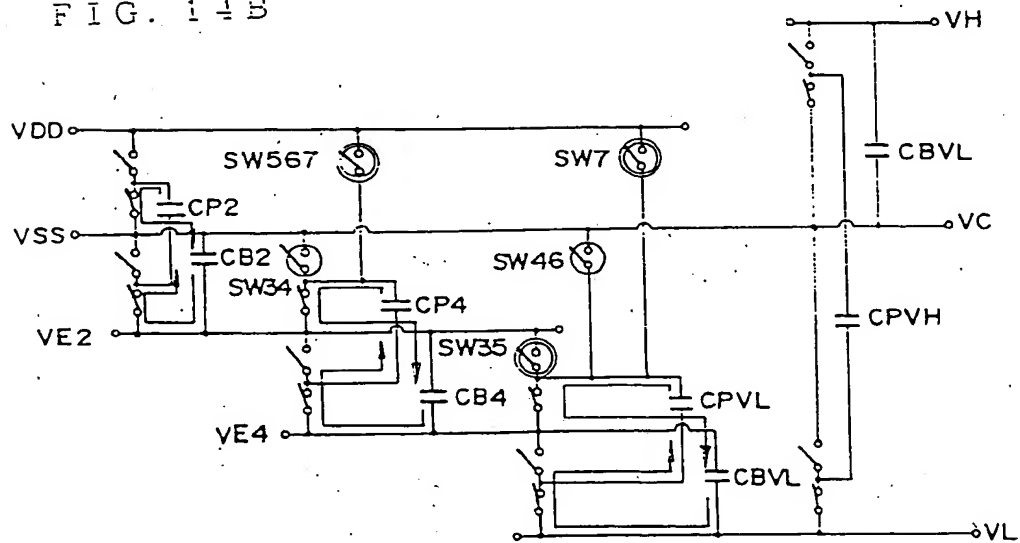
14/38

FIG. 14A



X4 タイミング B

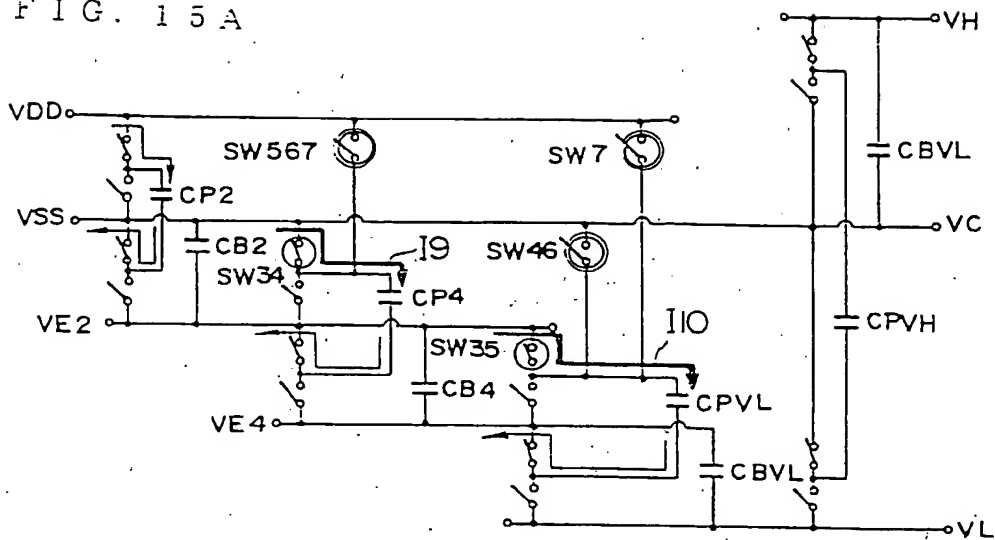
FIG. 14B



X4 タイミング A

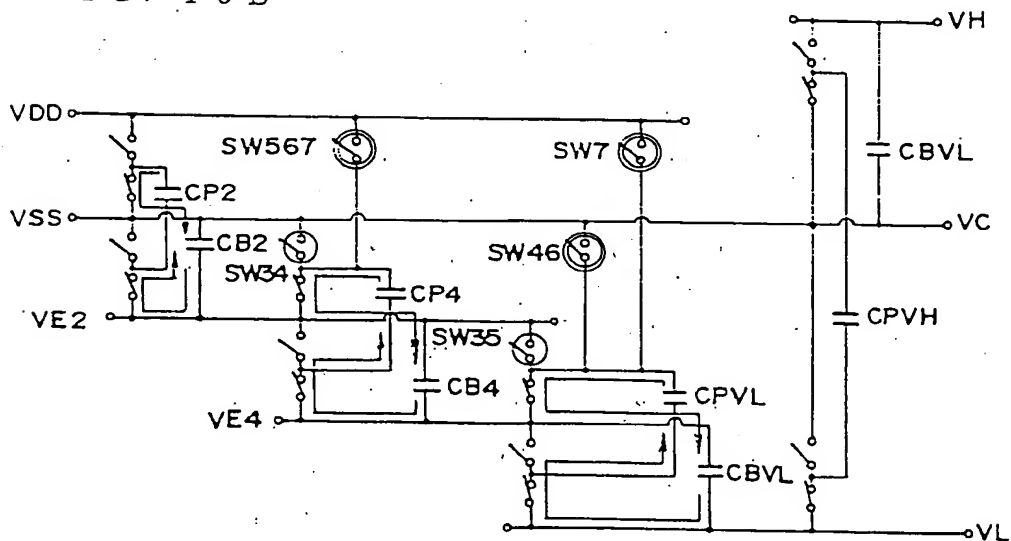
15/38

FIG. 15A



X3 タイミング B

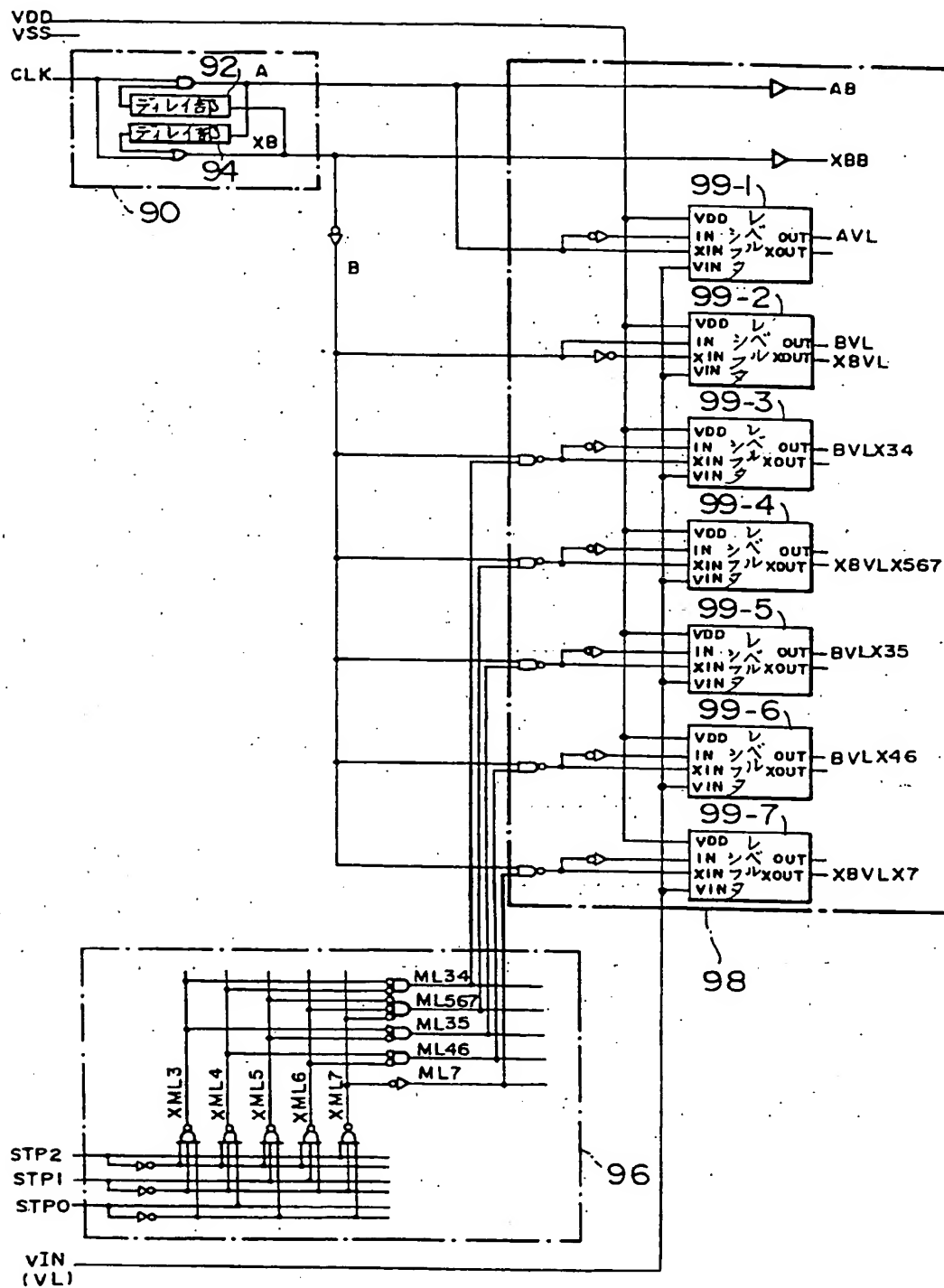
FIG. 15B



X3 タイミング A

18/38

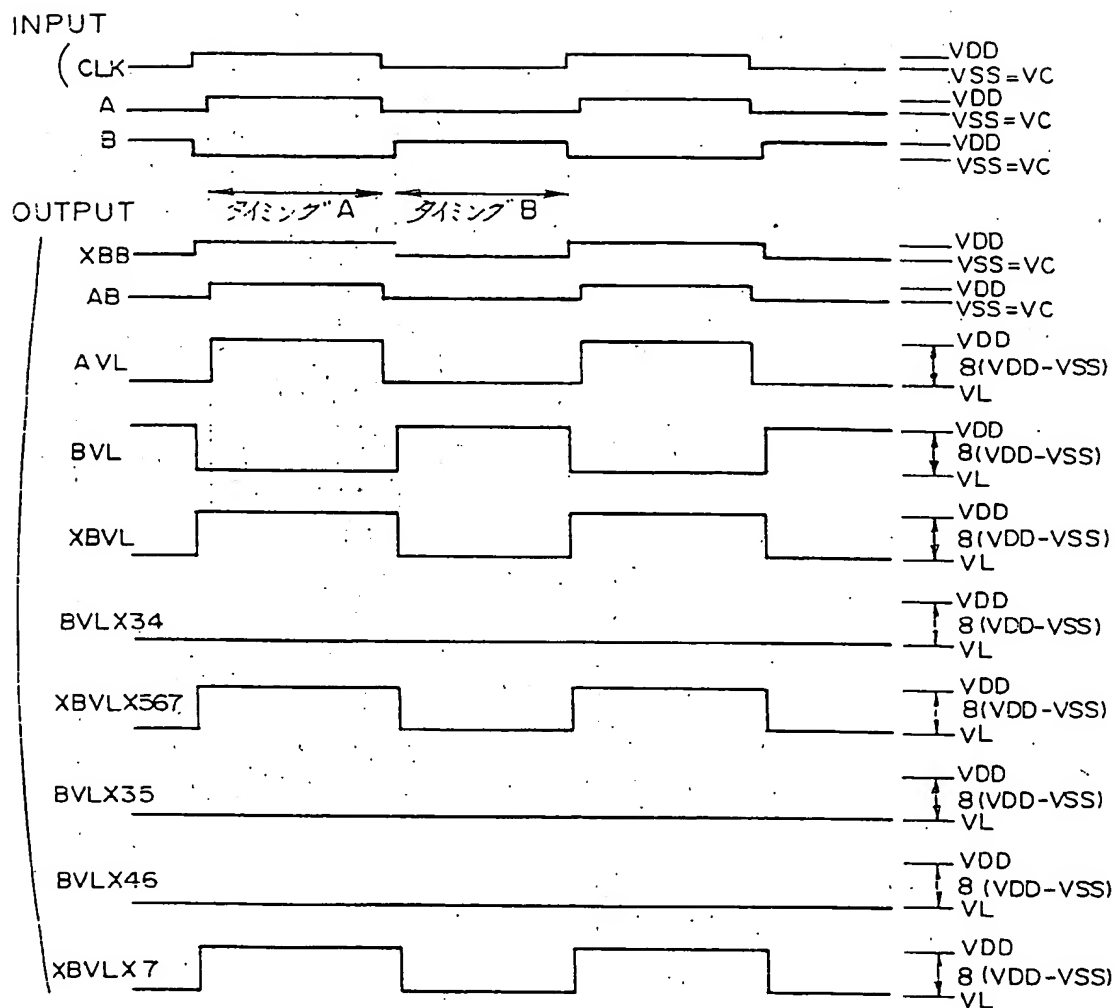
FIG. 18



19/38

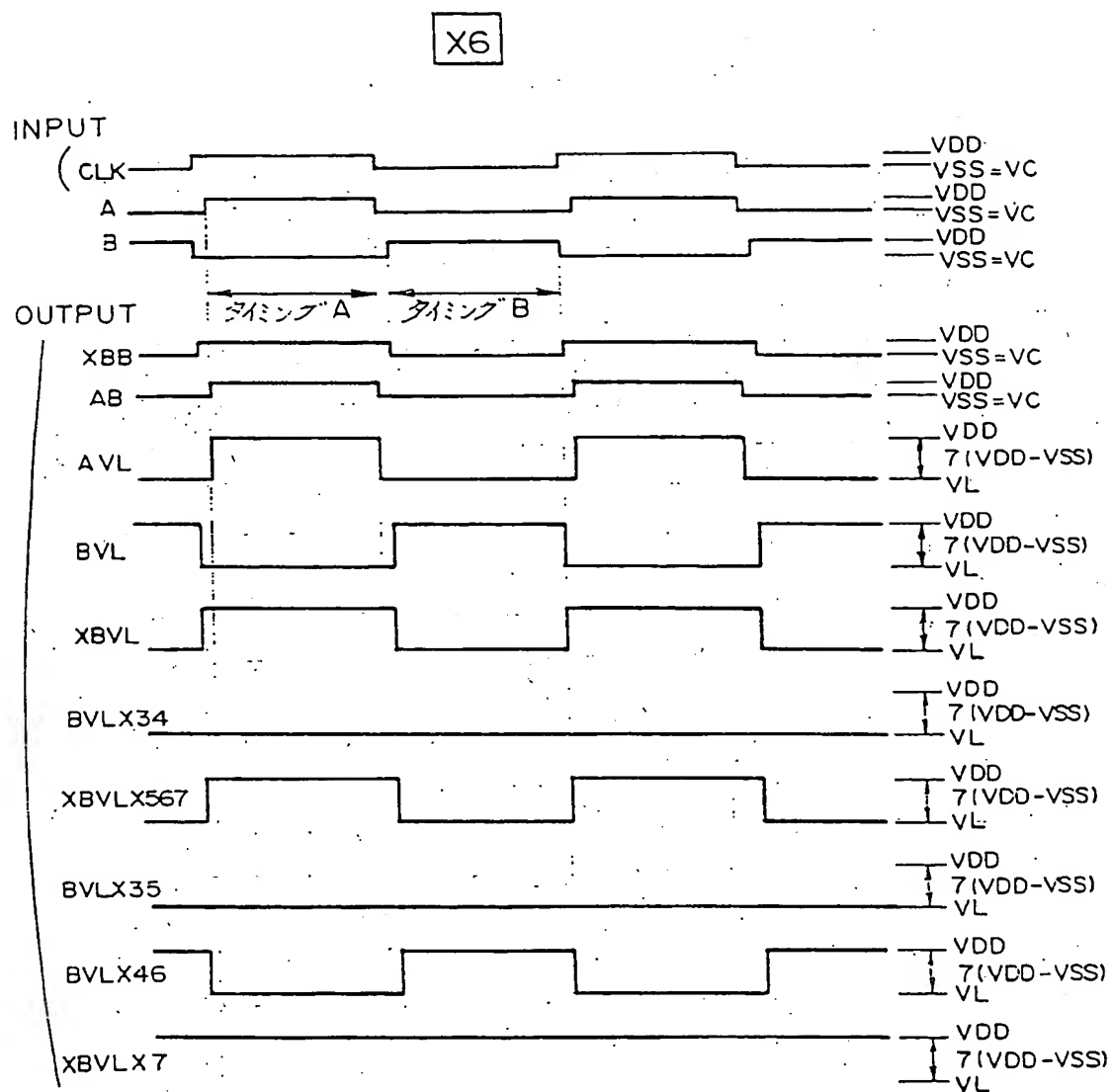
FIG. 19

X7



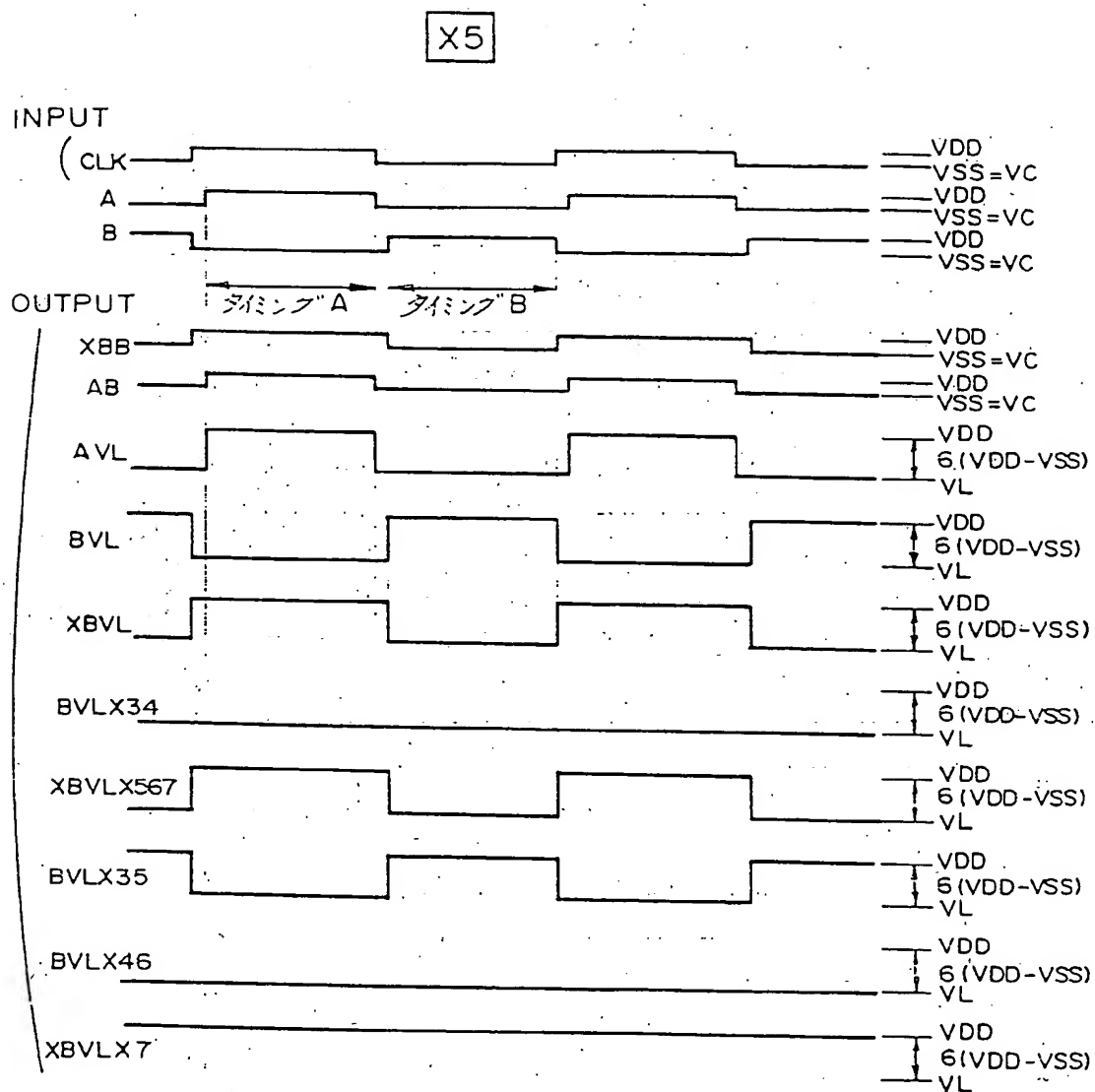
20/38

FIG. 20



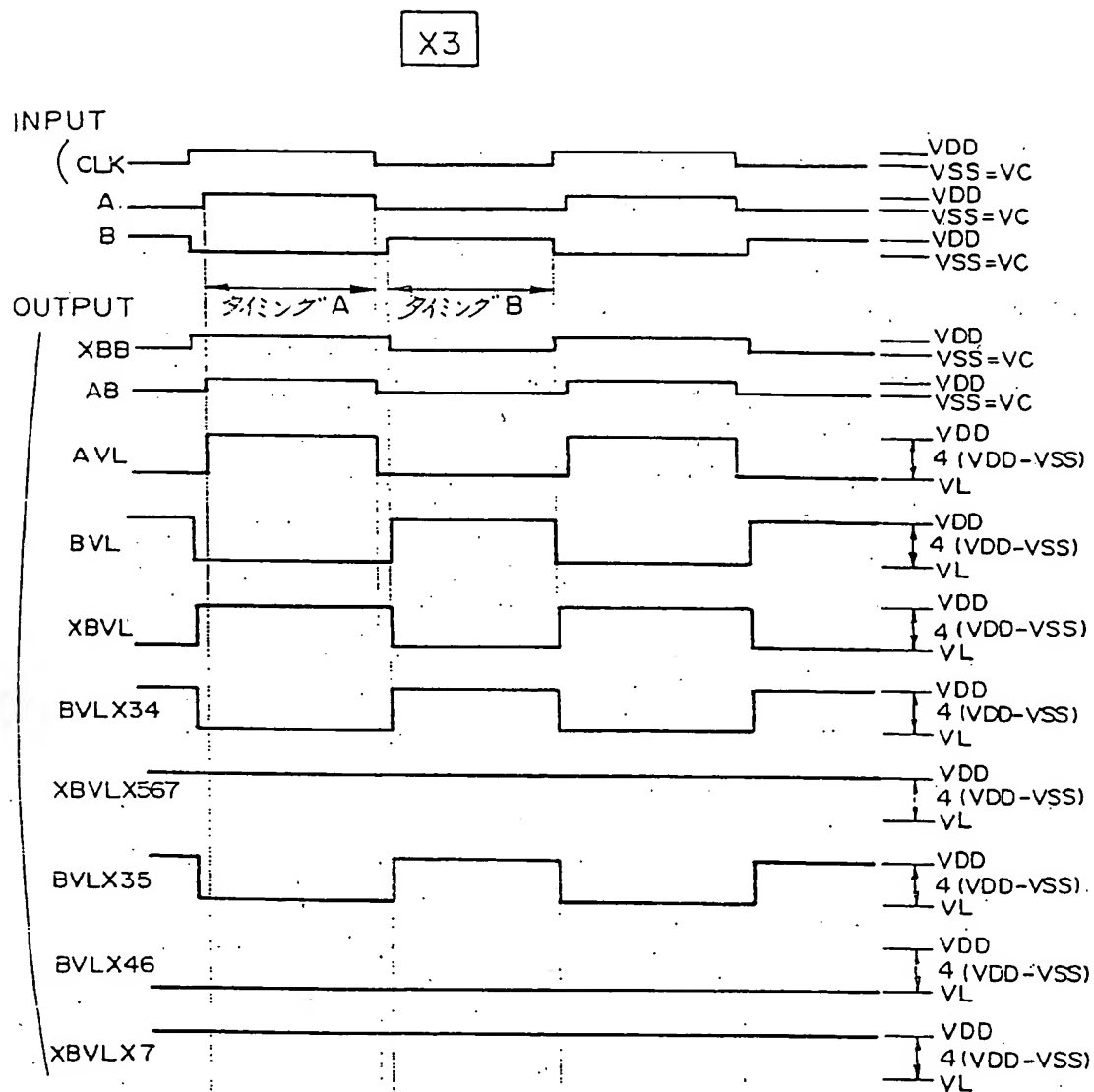
21 / 38

FIG. 21



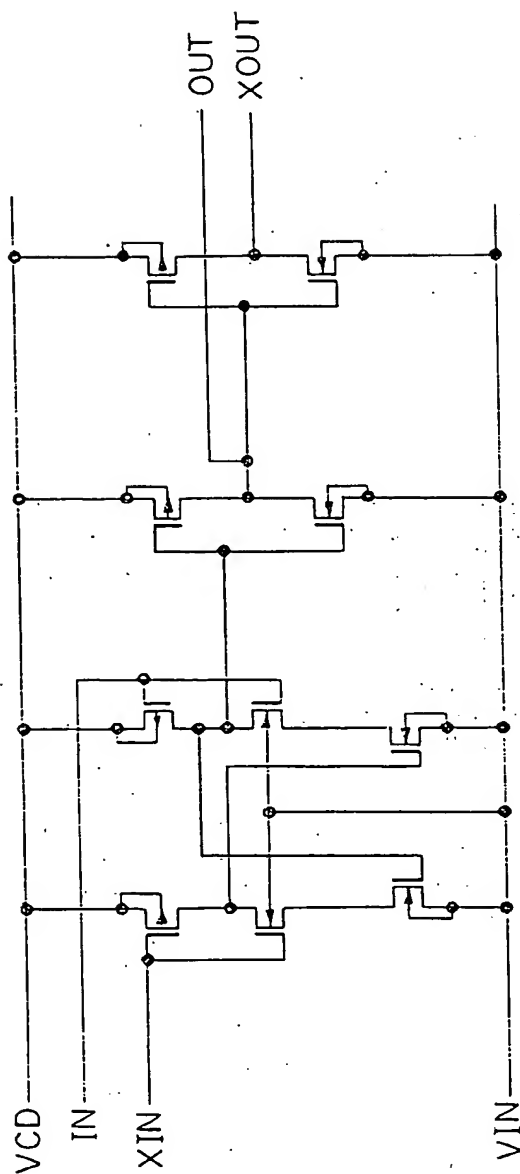
23 / 38

FIG. 23



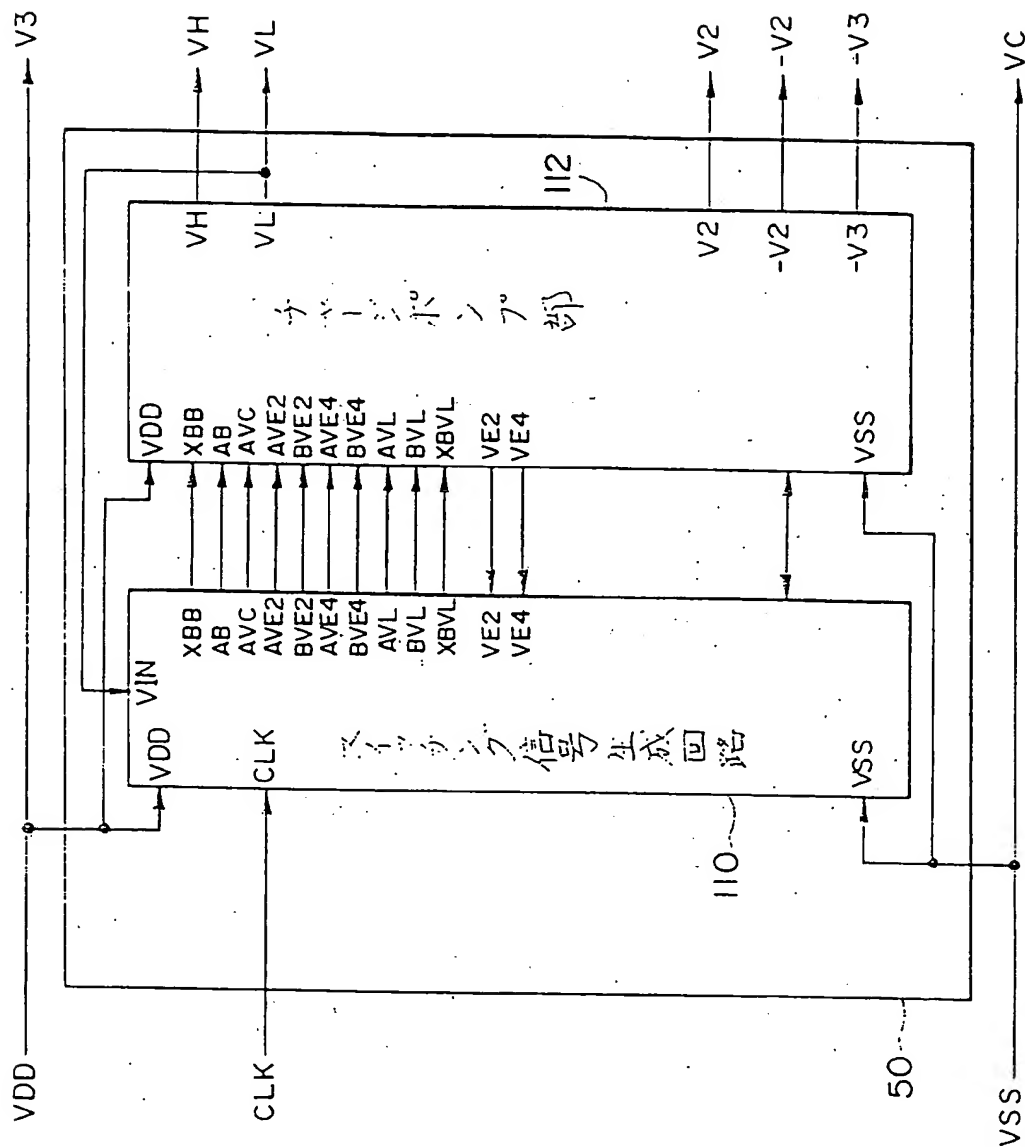
24 / 38

FIG. 24



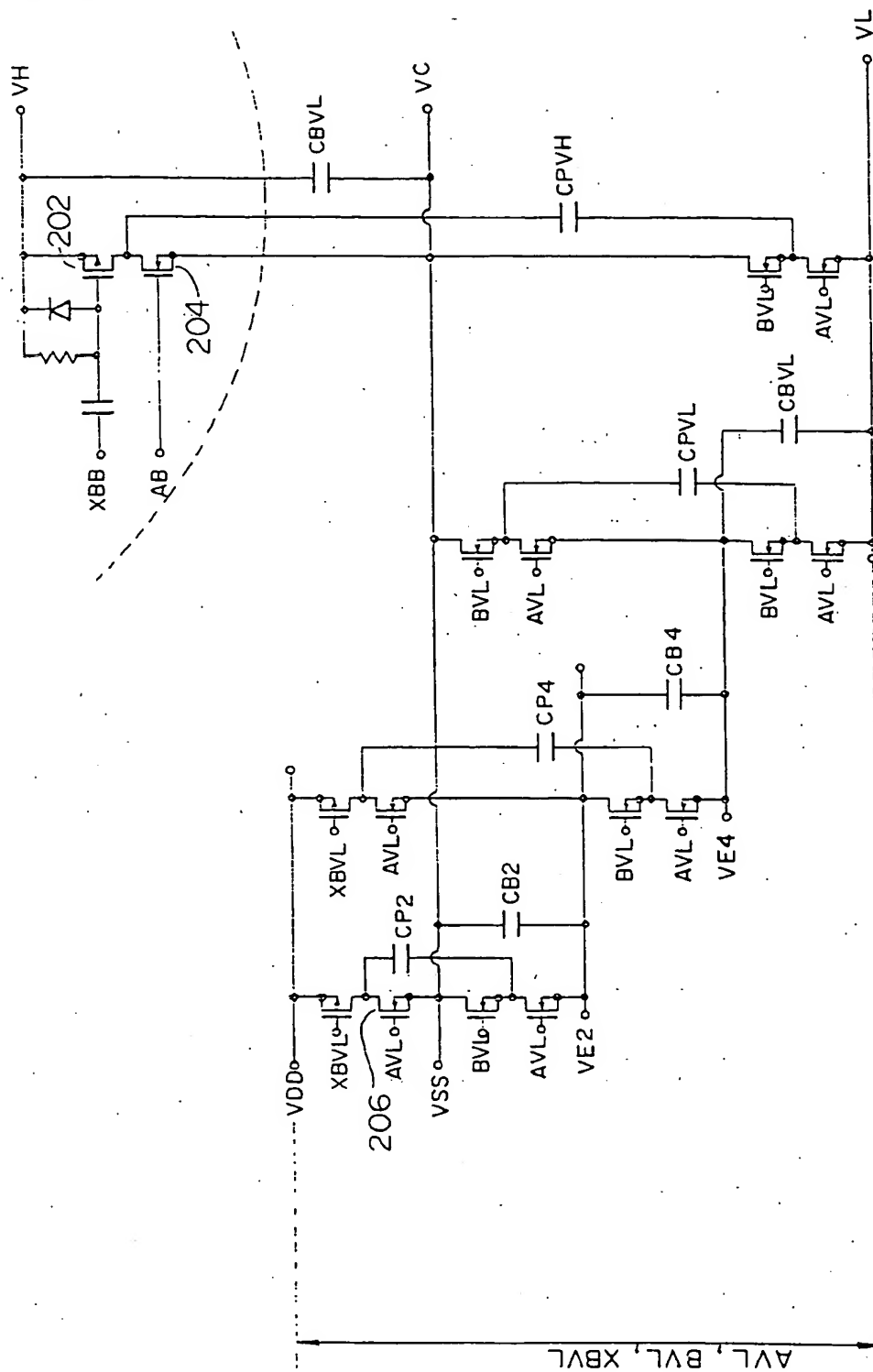
25 / 38

FIG. 25



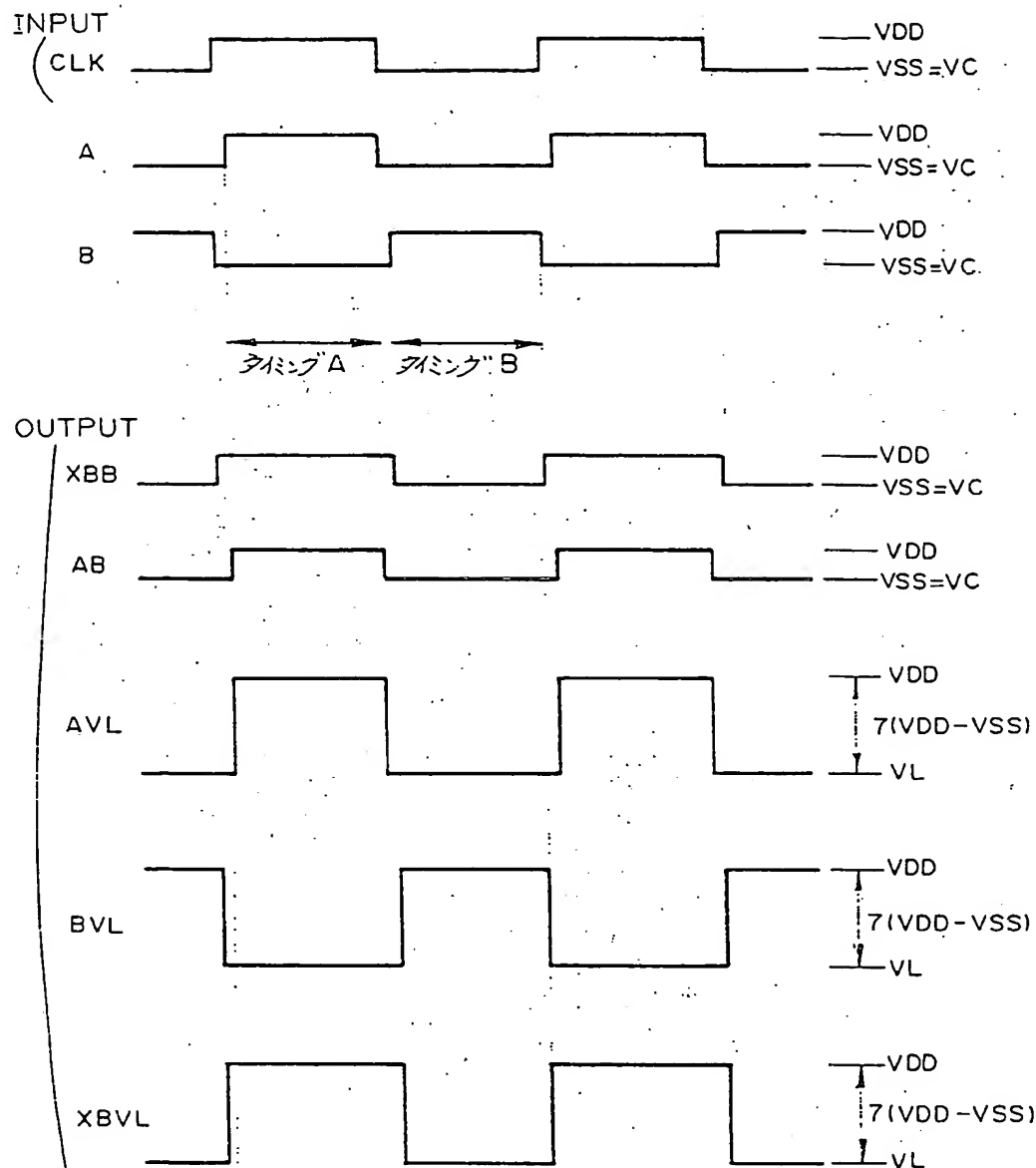
26 / 38

FIG. 26



27 / 38

FIG. 27.



28 / 38

FIG. 28A

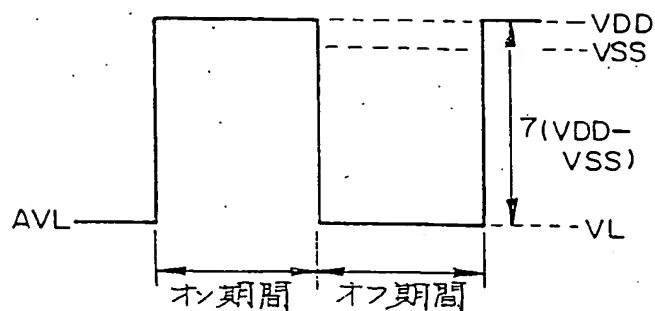
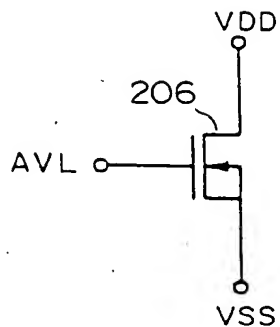


FIG. 28B

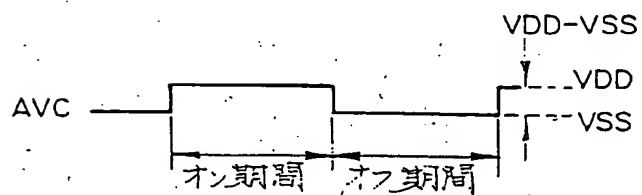
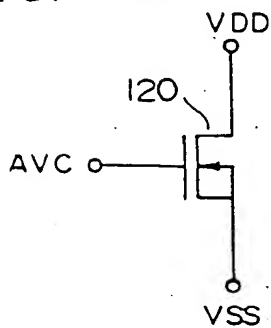
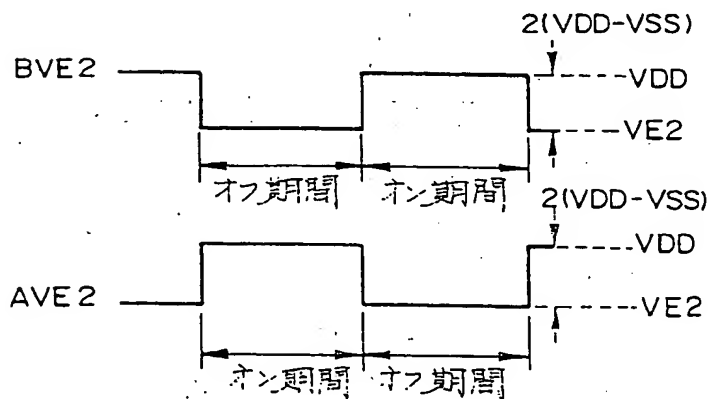
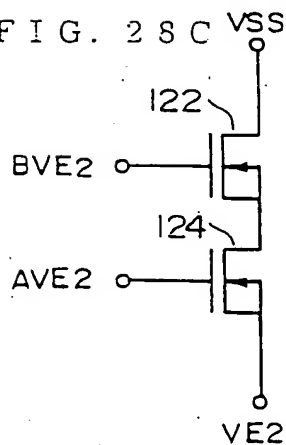
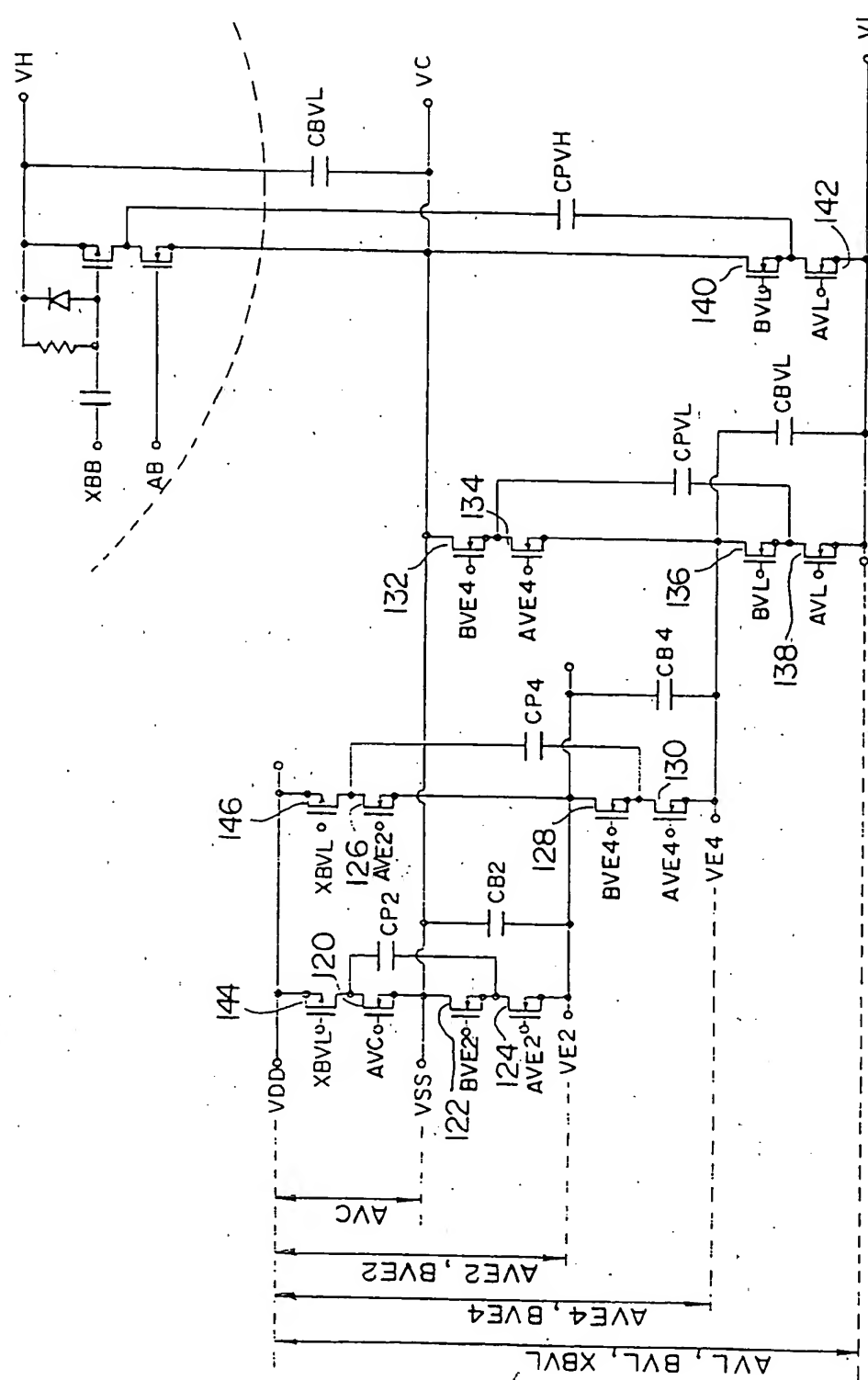


FIG. 28C



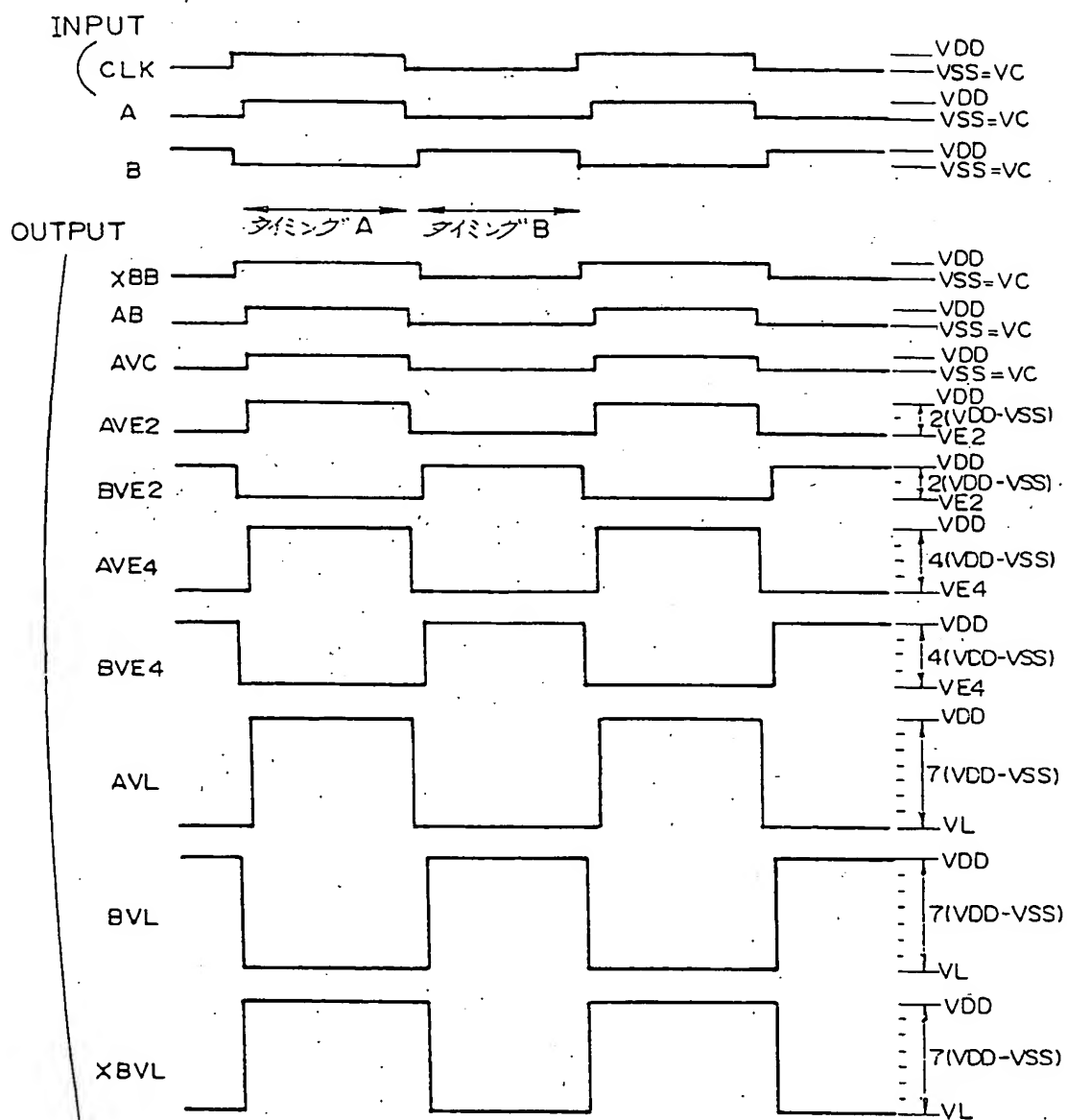
29 / 38

FIG. 29



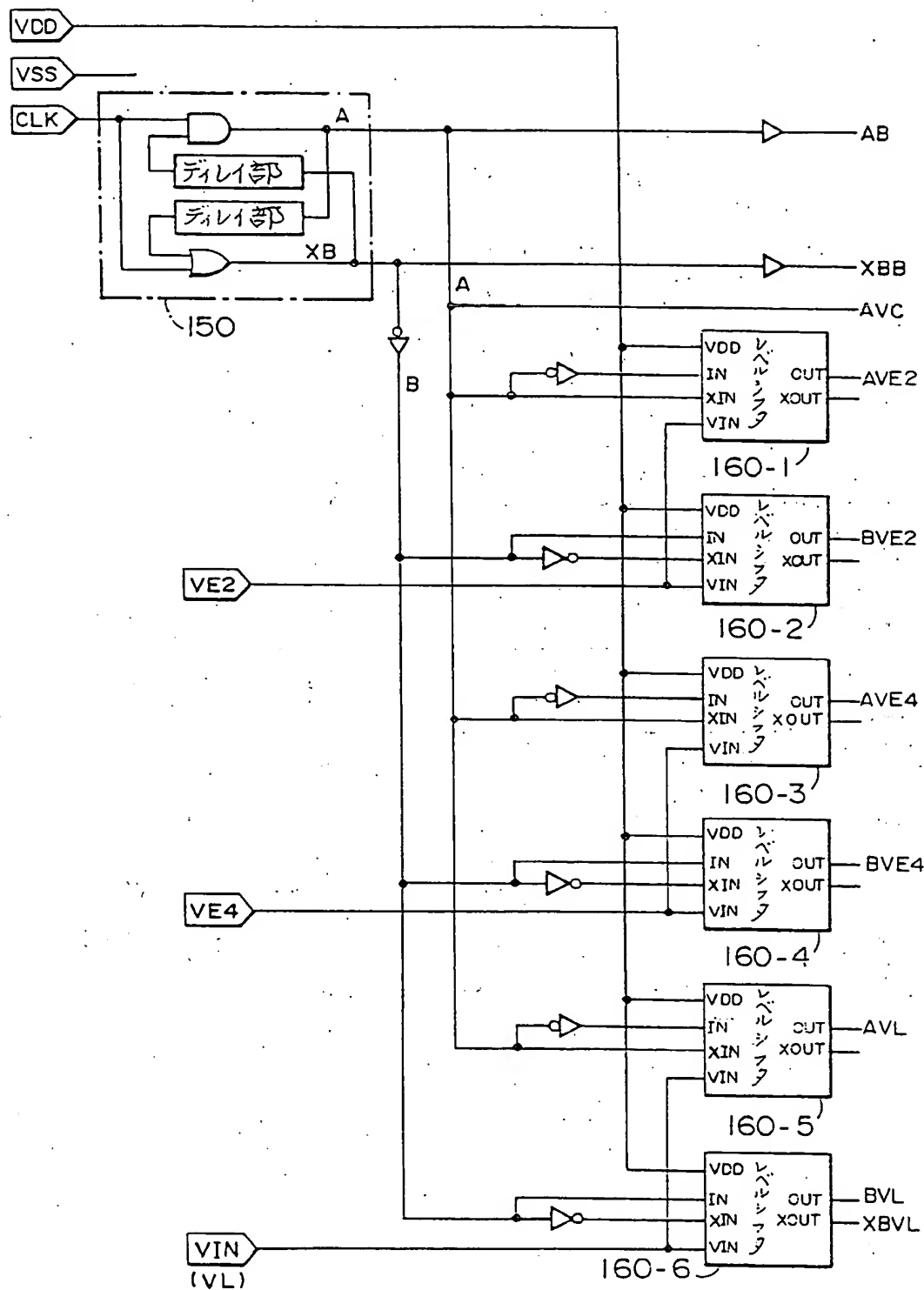
30 / 38

FIG. 30



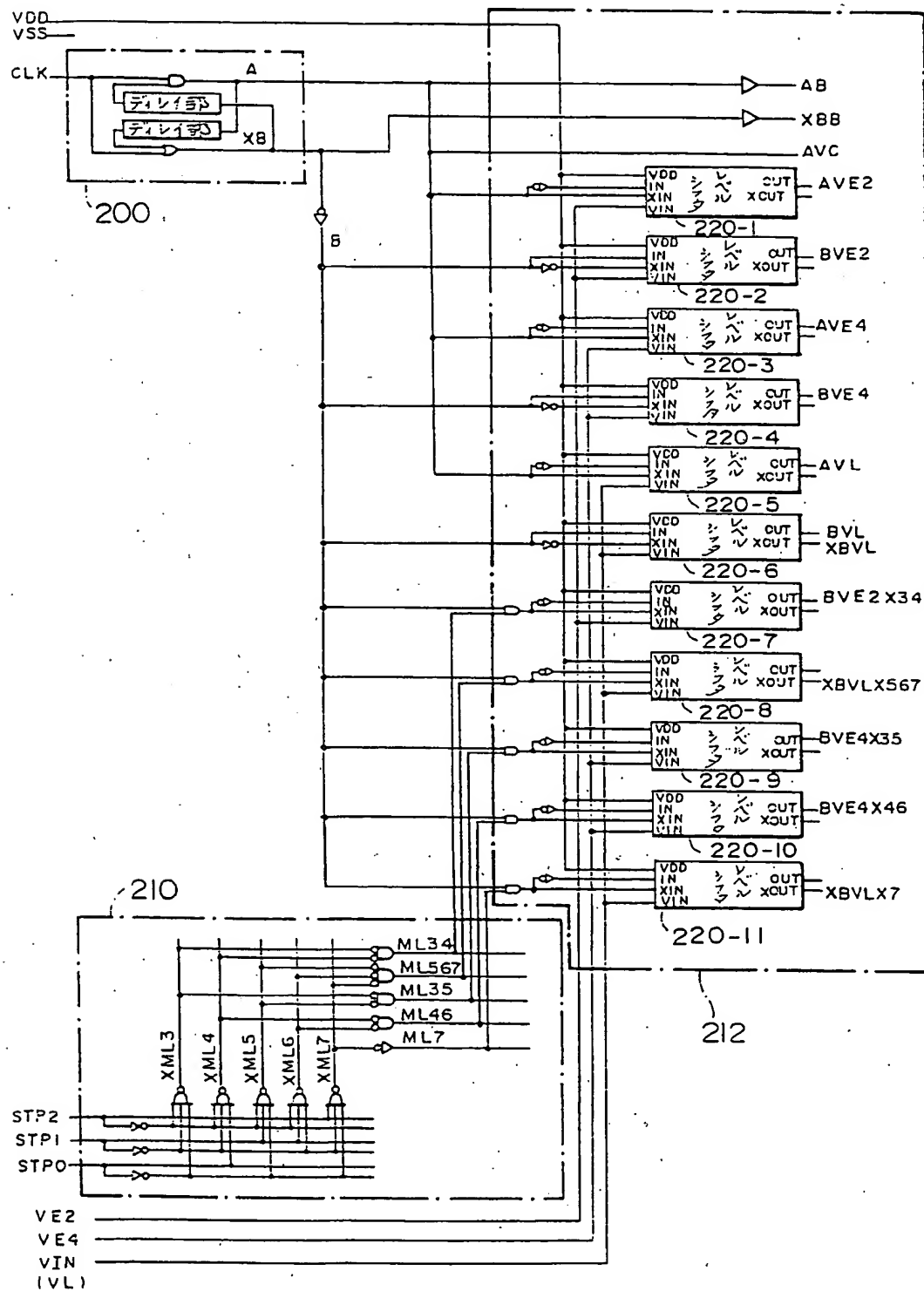
31/38

FIG. 31



33/38

FIG. 33



34 / 38

FIG. 34

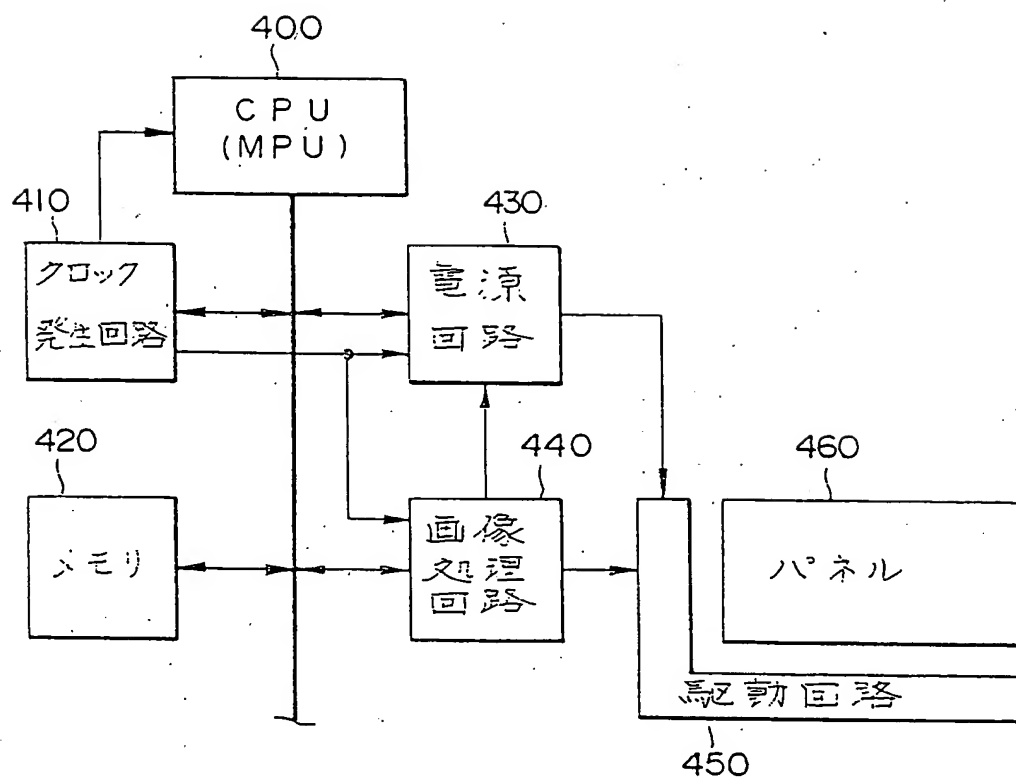


FIG. 35A

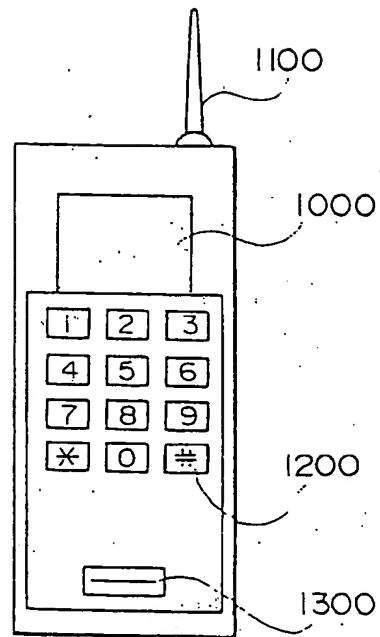
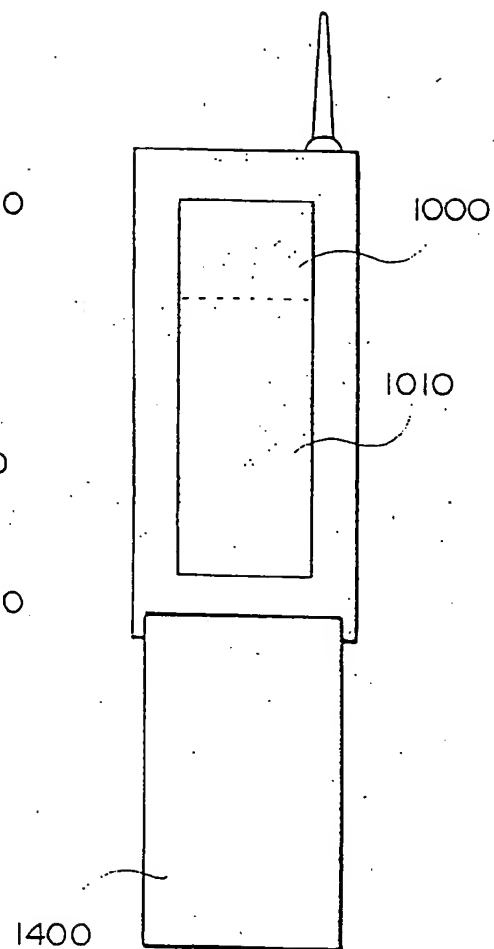


FIG. 35B



36/38

FIG. 36A

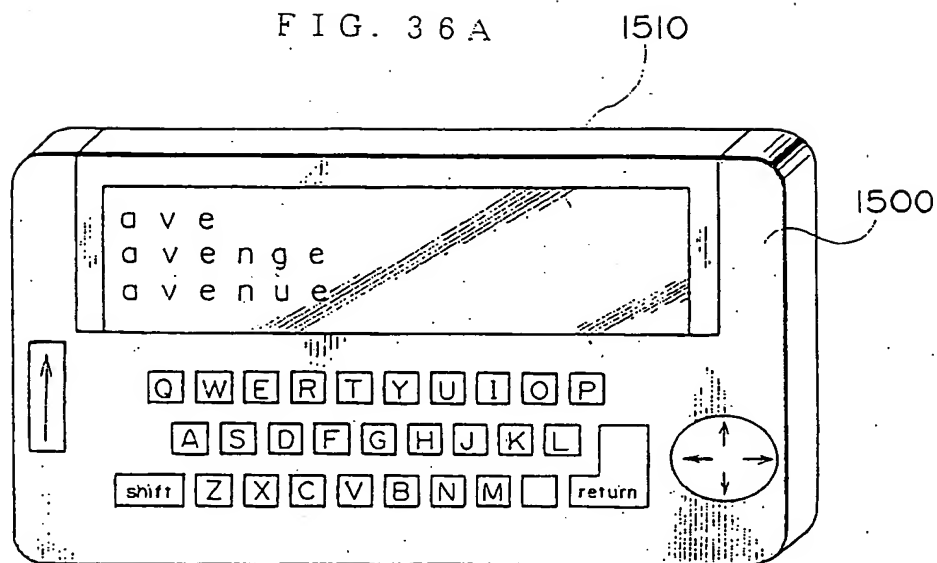


FIG. 36B

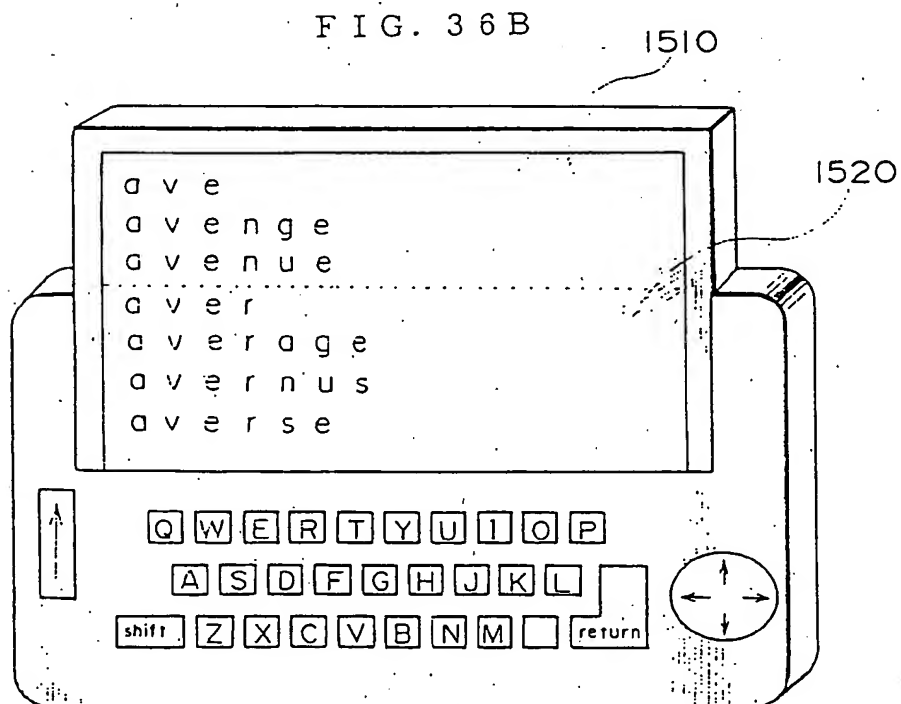


FIG. 37A

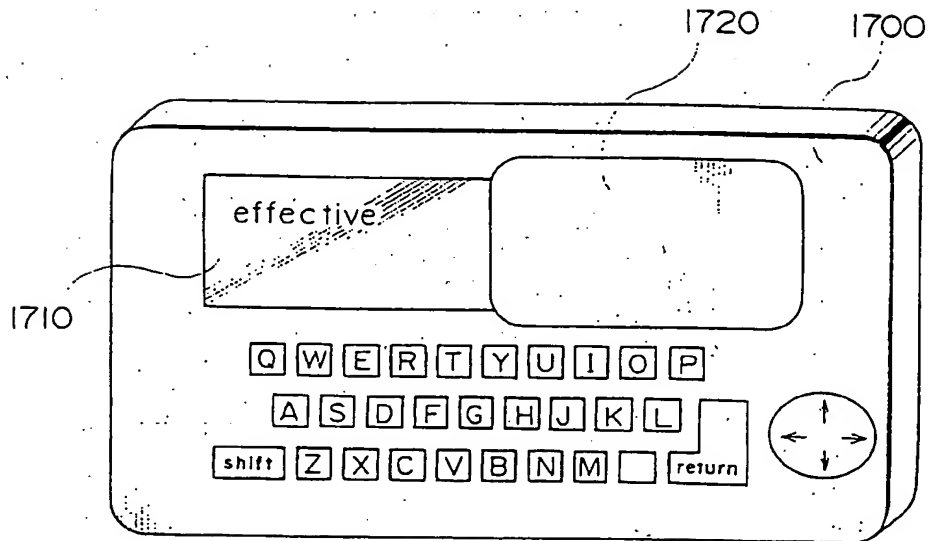


FIG. 37B

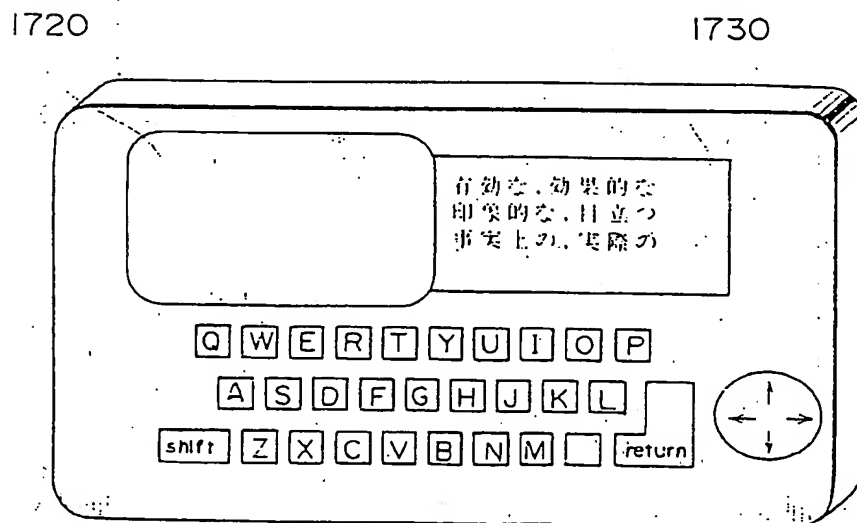
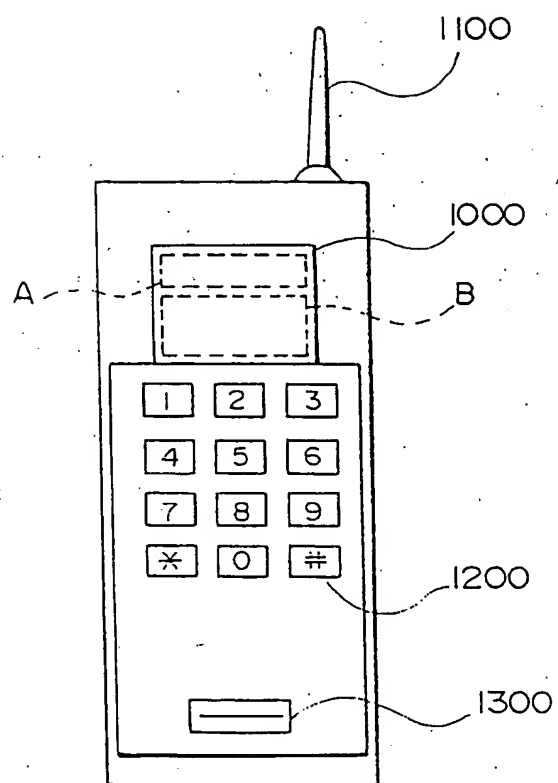


FIG. 38



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP98/01394

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ H02M3/07, G09G3/36, G02F1/133		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ H02M3/07, G09G3/36, G02F1/133		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1926-1998 Kokai Jitsuyo Shinan Koho 1971-1998		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 5-111241, A (Fujitsu Ltd.), April 30, 1993 (30. 04. 93) (Family: none)	1-13
A	JP, 57-142128, A (Casio Computer Co., Ltd.), September 2, 1982 (02. 09. 82) (Family: none)	1-13
A	JP, 6-130910, A (Seiko Epson Corp.), May 13, 1994 (13. 05. 94) & GB, 2271458, A1	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search July 6, 1998 (06. 07. 98)		Date of mailing of the international search report July 14, 1998 (14. 07. 98)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int Cl^o H02M3/07, G09G3/36, G02F1/133

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int Cl^o H02M3/07, G09G3/36, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1998

日本国公開実用新案公報 1971-1998

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 5-111241, A (富士通株式会社) 30. 4月. 1993 (30. 04. 93) ファミリーなし	1-13
A	J P, 57-142128, A (カシオ計算機株式会社) 2. 9月. 1982 (02. 09. 82) ファミリーなし	1-13
A	J P, 6-130910, A (セイコーエプソン株式会社) 13. 5月. 1994 (13. 05. 94) & GB, 2271458, A1	1-13

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「I」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

06.07.98

国際調査報告の発送日

14.07.98

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小池 正彦

印

5 H

8726

電話番号 03-3581-1101 内線 3533